

## **THÈSE**

Pour obtenir le grade de

**DOCTEUR DE LA COMMUNAUTE UNIVERSITE  
GRENOBLE ALPES**

**Préparée dans le cadre d'une cotutelle entre la  
Communauté Université Grenoble Alpes et  
l'université de Sherbrooke**

Spécialité : **Nanoélectronique et nanotechnologies**

Arrêté ministériel : le 6 janvier 2005 – 25 mai 2016

Présentée par

**« Mouawad/ MERHEJ »**

Thèse dirigée par « **Bassem SALEM** » et « **Dominique DROUIN** »

Préparée au sein des **Laboratoires LTM et UMI-LN2 (3IT)**  
Dans les **Écoles Doctorales EEATS** et l'université de  
**Sherbrooke**

## **Intégration 3D des transistors à nanofils de silicium-germanium sur puces CMOS**

Thèse soutenue publiquement le « **12/07/2018** »,  
devant le jury composé de :

**Dr. Jumana BOUSSEY**

Directrice de recherche, CNRS (Présidente du Jury).

**Dr. Perrine, BATUDE**

Ingénieur de recherche, CEA (examinatrice).

**Dr. Stephane, MONFRAY**

Ingénieur de recherche, ST (invité).

**Dr. Maxime, DARNON**

Chargé de recherche, CNRS et Prof. Associé à l'université de  
Sherbrooke UMI-LN2, (Rapporteur).

**Prof. Sylvain, BOLLAERT**

Professeur à l'université de Lille, IEMN Lille (Rapporteur).

**Prof. Dominique, DROUIN**

Professeur à l'université de Sherbrooke, (Co-directeur de thèse).

**Dr. Bassem, SALEM**

Chargé de recherche, CNRS (Directeur de thèse).



 **Communauté**  
**UNIVERSITÉ Grenoble Alpes**

 **UNIVERSITÉ DE**  
**SHERBROOKE**



# RÉSUMÉ

La microélectronique est partout dans notre vie : les téléphones intelligents, les jeux vidéo ainsi que d'autres appareils électroniques que nous tenons dans le creux de la main. Les besoins en performances et en gestion d'énergie se font de plus en plus ressentir. Le recours à la miniaturisation des transistors a permis l'amélioration des performances de ces composants au cours des années. Cette tendance a suivi la célèbre loi de « Moore » qui a prévu que la densité des transistors doublerait sur une même puce tous les 2 ans. Aujourd'hui cette loi de « Moore » doit faire face à des limites physiques et technologiques et c'est ainsi que le besoin d'intégrer de nouvelles fonctionnalités commence à apparaître. L'empilement vertical des composants est une solution alternative étudiée pour faire face aux difficultés inhérentes à l'intégration planaire.

Aujourd'hui, les circuits intégrés en 3D ont montré des gains de puissance significatifs pour différents types d'applications (mémoire...). Cette technologie repose sur des interconnexions verticales entre les différents niveaux connus sous le nom de « Through Silicon Vias » (TSVs). Différentes stratégies sont adoptées pour ce type d'empilement dans lesquelles l'intégration 3D monolithique est une approche qui offre la possibilité d'élaborer les différentes étapes technologiques directement sur une même puce. Une difficulté majeure de cette technologie réside dans le processus de fabrication des circuits dans les couches supérieures : Les étapes de la fabrication dans le « backend- of-line (BEOL) » ne doivent en aucun cas perturber le fonctionnement des transistors du « front-end-of-line (FEOL) ». C'est pour cette raison, le budget thermique doit être inférieure à 500 °C afin de préserver les performances des dispositifs dans la partie frontale de la ligne (FEOL).

Récemment, des nanofils semi-conducteurs préparés dans un bâti de CVD « chemical vapor deposition », ont suscité un nouvel intérêt pour la fabrication de nanodispositifs. Cette technique ascendante fournit des nanofils monocristallins avec le respect du budget thermique requis pour les processus d'intégration en 3D. Elle permet la synthèse des nanofils à des dimensions réduites avec un large choix de matériaux et de compositions.

Les travaux de cette thèse portent sur l'idée de démontrer que la croissance des nanofils entre deux électrodes prédéfinies et plus particulièrement la croissance horizontale à l'intérieur des tranchées d'oxyde peut être utilisée dans l'optique d'une intégration 3D. Cela permettrait donc à terme de pouvoir directement fabriquer les couches actives semi-conductrices d'un transistor MOS dans les niveaux supérieurs d'une puce CMOS tout en respectant le budget thermique et sans avoir recours à des étapes de collage de puces. Au cours de ce projet de recherche, nous nous sommes intéressés en premier lieu au développement et à l'optimisation du procédé qu'on appelle « *nanodamascène* » mis en place pour guider des nanofils SiGe dans des tranchées d'oxyde directement sur un substrat SiO<sub>2</sub>/Si. À part de cette technique d'intégration, nous avons aussi utilisé la technique de *diélectrophorèse* pour localiser des nanofils dispersés dans une solution liquide de manière horizontale entre des électrodes prédéfinies. Les résultats de la localisation ont permis de fabriquer des transistors à canaux nanofils sur l'oxyde et à terme de montrer la possibilité d'établir un transistor dans le BEOL d'une puce CMOS.

**Mots-clés :** Intégration 3D, nanofils, nanodamascène, transistors, diélectrophorèse.

# REMERCIEMENTS

Mon aventure vient de prendre sa fin, quatre ans de travail acharné et 5 ans pour la compléter définitivement. Que du monde rencontré au cours de ces années. D'avance je m'excuse auprès de celles et ceux que j'aurais pu oublier.

Je tiens à remercier dans un premier temps, mon directeur **Bassem SALEM** pour tous les efforts contribués et pour l'aide inconditionnel au cours de ce projet de thèse. Ce fut tout un parcours intéressant et instructif.

De la même ampleur, je remercie tout particulièrement, mon codirecteur **Dominique DROUIN** de sa guidance et de son aide tout au long des années de ma thèse.

Je remercie tout aussi bien **Serge ECOFFEY**, **Thierry BARRON** et **Thibault HONEGGER** pour leurs réponses toujours sincères et directes aux questions scientifiques que j'ai pues leur poser, ainsi que leur aide et leurs conseils concernant le travail évoqué au cours de ce projet de recherche.

Je souhaiterais aussi remercier les membres du jury pour avoir accepté d'évaluer mon travail et pour leurs questions pertinentes le jour de la soutenance : **Perrine, BATUDE, Stephane, MONFRAY, Maxime, DARNON, Sylvain, BOLLAERT** et Mme. la Présidente du Jury **Jumana BOUSSEY**.

Un remerciement du fond du cœur va pour **Jumana BOUSSEY**. Grâce à ton support, conseil et soutien, cette aventure Canada- France atteint sa finalité.

Un remerciement va aussi pour tout le personnel du laboratoire LTM, et 3ITnano, **MALOU** et **Sylvaine**.

Je remercie de même **Benattou, Bruno, Ousphea, Fatima, Rahmeh, Arsène, Arbi** pour leur accueil chaleureux et amical au Canada, ainsi que tous les moments vécus ensemble là-bas.

Un grand Merci à tous mes amis à Grenoble : **Javier, Ahmad, Rémy, Manuella, Nour, Alexandre, Jimmy, Antonio, Tarek, Amer, Georges et Maria**.

Un merci infini à **mes parents, mes deux sœurs** et à toute ma famille qui m'ont soutenu et qui ne cessent de m'encourager depuis le début de mon parcours.

Un grand merci à **ma femme** qui m'aura apporté son soutien pendant les années de thèse. Merci à toi pour ta patience et je sais que cela n'aura pas toujours été facile. Merci également de m'avoir supporté et aidé lorsque le stress était au maximum.

Et enfin **DIEU** merci.





# TABLE DES MATIÈRES

<b>RÉSUMÉ</b> .....	i
<b>REMERCIEMENTS</b> .....	iii
<b>TABLE DES MATIERES</b> .....	v
<b>LISTES DES FIGURES</b> .....	viii
<b>LISTE DES TABLEAUX</b> .....	xvi
<b>LISTE DES ACRONYMES</b> .....	xvii

<b>Chapitre 1 : Introduction générale</b> .....	<b>1</b>
1.1 Mise en contexte.....	1
1.2 Problématique.....	4
1.3 Question de recherche.....	5
1.4 Axes de travail.....	5
1.5 Objectifs.....	5
1.6 Plan du document.....	7
Listes des références.....	9

<b>Chapitre 2 : État de l'art</b> .....	<b>11</b>
2.1 Introduction.....	10
2.2 L'intégration 3D : Avantages et architectures.....	10
2.2.1 Les bénéfices de l'intégration 3D.....	10
2.2.2 Intégration 3D hétérogène des puces avec TSVs.....	12
2.2.3 Intégration 3D monolithique dans le BEOL et ses avantages.....	15
2.2.4 Tableau de comparaison.....	17
2.3 Fabrication des composants pour une intégration 3D monolithique.....	18
2.4 Les nanofils semi-conducteurs dans une optique d'intégration 3D.....	22
2.4.1 Intérêt et applications des nanofils.....	22
2.4.2 Élaboration des nanofils.....	24
2.4.3 Choix de l'alliage $\text{Si}_x\text{Ge}_{1-x}$ .....	30
2.5 Transistors à nanofils : Le SB-FET (Schottky barrier field-effect transistor).....	31
2.5.1 Mode de fonctionnement d'un transistor à nanofils (SB-FET) : Principe et Mécanisme.....	31
2.5.2 Croissance contrôlée des nanofils par CVD-VLS.....	36
2.5.3 Localisation et assemblage dirigé des nanofils.....	40
2.6 Conclusion.....	43
Listes des références du chapitre 2.....	44

<b>Chapitre 3 : Développement d'un procédé de guidage des nanofils horizontaux</b> .....	<b>53</b>
3.1 Introduction.....	52
3.2 Importance du budget thermique.....	54
3.3 Élaboration des nanofils horizontaux.....	53
3.3.1 Le réacteur.....	53
3.3.2 La croissance par le mécanisme VLS.....	55

3.3.3	Optimisations des paramètres de croissance horizontale des nanofils SiGe et Ge .....	58
3.3.4	Croissance horizontale localisée entre les électrodes .....	61
3.4	Procédé technologique pour une croissance guidée des nanofils .....	62
3.4.1	Procédé de fabrication .....	62
3.4.2	Croissance des nanofils dans les nanotranchées .....	70
3.4.3	Ajout d'une étape de gravure humide .....	70
3.5	Impact des largeurs des tranchées sur la croissance des nanofils .....	74
3.6	Caractérisations électriques des nanofils connectés .....	76
3.7	Amélioration du procédé et importance du polissage mécano-chimique .....	78
3.8	Présentation de l'équipement et états de l'art sur la CMP de l'or .....	80
3.9	La CMP de l'or : vers un procédé adaptable au contexte industriel .....	83
3.9.1	Calibration des vitesses de gravure et de la sélectivité .....	83
3.9.2	Effet de la CMP sur la surface d'or polie .....	86
3.9.3	Planarisation des structures et les profils inversés .....	87
3.9.4	La CMP de l'or et du titane dans le procédé technologique .....	90
3.10	Conclusion .....	91
	Listes des références du chapitre 3 .....	93

## **Chapitre 4 : Localisation des nanofils horizontaux par diélectrophorèse sur puce CMOS.....100**

4.1	Introduction.....	100
4.2	Principe de l'électrocinétique dans un champ électrique non uniforme.....	99
4.2.1	Forces électrohydrodynamiques .....	99
4.2.2	Forces électrocinétiques sur les nanofils .....	102
4.2.3	La diélectrophorèse.....	104
4.2.4	Le facteur de Clausius-Mossotti (FCM).....	105
4.3	Protocole expérimental.....	108
4.3.1	Élaboration des nanofils Si et SiGe .....	108
4.3.2	Fabrication des puces.....	109
4.3.3	Plateforme de la technique de DEP .....	110
4.4	Assemblage dirigé des nanofils .....	111
4.4.1	Étude qualitative du positionnement des nanofils Si et SiGe.....	112
4.4.2	Détermination du facteur Clausius-Mossotti (FCM).....	113
4.4.3	Étude du rendement et de la fréquence de capture .....	120
4.4.4	Localisation des nanofils sur un substrat en silicium recouvert par un oxyde ..	125
4.4.5	Localisation des nanofils sur une puce CMOS.....	127
4.5	Conclusion .....	128
	Listes des références du chapitre 4.....	129

## **Chapitre 5 : Intégration des transistors à canal nanofil sur une puce CMOS.....135**

5.1	Introduction.....	133
5.2	Procédé de fabrication des transistors sur substrat SiO <sub>2</sub> /Si .....	134
5.2.1	Protocole expérimentale du procédé d'intégration .....	134
5.2.2	Localisation des nanofils par diélectrophorèse.....	135

5.2.3	Impact de la siliciuration .....	136
5.2.4	Dépôt de l'oxyde de grille et des plots de contact du transistor.....	140
5.3	Caractérisation électrique des transistors à nanofils horizontaux.....	139
5.3.1	Fonctionnement et paramètres clés du transistor.....	139
5.3.2	Propriétés électriques des transistors à nanofils SiGe .....	142
5.4	Procédé de fabrication des transistors sur une puce CMOS .....	146
5.4.1	Description d'une puce CMOS.....	147
5.4.2	État de l'art et design du masque.....	147
5.4.3	Protocole de fabrication des transistors interconnectés à la logique CMOS .....	151
5.4.4	Vers une intégration des transistors à canal nanofils.....	153
5.5	Conclusion .....	155
	Listes des références.....	157
 <b>Chapitre 6 : Conclusion et perspectives.....</b>		<b>162</b>
6.1	Conclusion générale .....	160
6.2	Perspectives .....	162
 <b>Annexe A.....</b>		<b>167</b>
<b>Annexe B.....</b>		<b>169</b>
 <b>Communications.....</b>		<b>171</b>

# Liste des figures

Figure 1.1 : Évolution des générations de transistors MOS d'Intel depuis 2005.....	2
Figure 1.2 : Positionnement de l'intégration 3D dans le développement présent et futur de l'industrie des semi-conducteurs.....	3
Figure 2.1 : Modèle d'interconnexion décrite par .....	11
Figure 2.2 : Effet de l'assemblage en 3D sur la surface occupée ainsi que sur les délais d'interconnexions.....	11
Figure 2.3 : (a) Schéma en coupe qui montre une intégration 3D-IC de plusieurs circuits connectés par des TSVs sur une plateforme d'interposition dédiée à la connexion des puces aux contacts métalliques du boîtier à destination du circuit imprimé. (b) Illustration d'un empilement des technologies hétérogènes sur plusieurs niveaux.. .....	13
Figure 2.4 : (a) Représentation des différentes approches d'empilement 3D hétérogène. (b) Exemple de fabrication des vias-first et vias-middle . (c) Processus de fabrication des vias-last .....	14
Figure 2.5 : Nombre limité d'I/O dans les circuits 3D comparé aux circuits planaires. ....	15
Figure 2.6 : Schéma illustrant les différentes connectiques (interconnexions, contacts et vias) séparées par une couche de diélectrique (ILD). ....	16
Figure 2.7 : Représentation schématisée de la zone du FEOL (les transistors) et celle du BEOL (les interconnexions) d'une puce CMOS (Wikipédia). ....	19
Figure 2.8 : a) Résultats électriques d'un inverseur monolithique 3D comportant un transistor P sur un TFET. b) Vue en coupe mettant en évidence la précision d'alignement entre les couches supérieure et inférieure .....	20
Figure 2.9 : Intégration 3DM d'un transistor FET à nanotube de carbone (CNFET) avec un transistor MOSFET conventionnel pour réaliser une fonction logique : (a) Inverseur, (b) NOR-OU [24]. (c) Image SEM et illustration schématisée d'une intégration 3DM d'un transistor à CNFET pour fabriquer un élément de routage d'une boîte de commutation d'un circuit logique programmable.....	20
Figure 2.10 : Récapitulatif des intégrations 3DM de différents types de composants réalisés avec différents types de matériaux et utilisant des techniques de fabrication diverses. ....	21
Figure 2.11 : (a) Images SEM des résonateurs nanomécaniques obtenus suite au procédé de fabrication. Résultats de la caractérisation des résonances mécaniques mesurés (b) optiquement et (c) électriquement .....	23
Figure 2.12 : Illustration schématisée du processus de génération de signal électrique avant et après injection des molécules de biotine sur le biocapteur ; (c) analyse électrique analyse des résistances des interactions moléculaires (streptavidine-biotin) ; (d) analyse de la résistances en fonction de différentes concentrations de molécule de biotine.....	24
Figure 2.13 : a) Images TEM du transistor à plusieurs nanofils silicium verticaux fabriqués par une approche descendante. (i) vue crosse-section avec fausse couleur de l'appareil et une grille enrobante, des contacts S/D symétriques en (PtSi) et une couche de 60 nm de diélectrique faible	

permittivité $k$ (2.7). (ii) Zoom sur les couches déposées sur le nanofil et (iii) zoom sur la région de la grille enrobante ayant pour longueur 14 nm avec un oxyde de grille $\text{SiO}_2$ de 5 nm d'épaisseur. b) Image SEM du transistor à plusieurs nanofils silicium horizontaux fabriqués par une approche descendante, ayant une grille enrobante de 15 nm de longueur.....	26
Figure 2.14 : Transistor à base des nanofils horizontaux fabriqués suite à une approche ascendante (mécanisme VLS) : (a) Travaux de Cui <i>et al.</i> , (b) Travaux de Chung <i>et al.</i> , (c) Travaux de Appellenzer <i>et al.</i> (d) Travaux de Tang <i>et al.</i> .....	27
Figure 2.15 : Transistor à base des nanofils verticaux fabriqués suite à une approche ascendante (mécanisme VLS) : (a) Travaux de Rosaz <i>et al.</i> , (b) Travaux de Rosaz <i>et al.</i> , (c) Travaux de Goldberger <i>et al.</i> .....	28
Figure 2.16 : Maille élémentaire de la structure de diamant, avec $a$ le paramètre de maille. ....	29
Figure 2.17 : Largeur de bande interdite du SiGe en fonction de la fraction atomique du silicium à 296 K .....	30
Figure 2.18 : Schéma d'un contact Schottky idéal métal/semi-conducteur pour un semi-conducteur de type n.....	31
Figure 2.19 : i) Schéma descriptif illustrant les mécanismes de transport au niveau de la barrière .....	33
Figure 2.20 : Principe de fonctionnement d'un transistor SB-FET a) Vue en coupe du dispositif b)-d) Diagramme de bande sous différentes tensions de drain et de grille.....	34
Figure 2.21 : Croissance horizontale confinée des nanofils ; (a) Schéma de procédé d'intégration des nanofils pour réaliser des transistors : i) Fabrication de motifs d'électrodes Si, ii) Dépôt des colloïdes d'or, iii) Croissance des nanofils de silicium, vi) Réalisation d'électrodes de Pt pour fabriquer un FET (b) Image SEM d'un seul nanofil cru entre les électrodes. (c) Courant mesuré ( $I_s$ ) en fonction de la tension de grille ( $V_{GS}$ ) pour trois valeurs distinctes de tensions de drain ( $V_{DS}$ ). (d) Caractéristiques électriques ( $I_D$ - $V_{DS}$ ), collectées pour le transistor GAA-FET avec un canal de 3 $\mu\text{m}$ de long et 120 nm d'épaisseur.....	37
Figure 2.22: (i) Illustration schématique du mécanisme de croissance SLS, avec la formation d'un nouveau front d'absorption (ligne verte) sur la paroi latérale ainsi que le procédé de fabrication pour une croissance guidée des nanofils. (ii) Images SEM et illustration de la croissance guidée et aligné des nanofils le long des bords, ainsi que la configuration du transistor FET à grille arrière. (iii) Propriétés électriques du transistor, avec une illustration de sa structure. ....	38
Figure 2.23 : (a) (b) Illustration schématique et image SEM de la croissance directe des nanofils du silicium entre deux électrodes prédéfinies sur une couche d'oxyde. (c) Caractéristiques électriques ( $I_D$ - $V_{DS}$ ) et ( $I_D$ - $V_g$ ), collectées pour le transistor à nanofils du silicium fabriqué [63]. ....	39
Figure 2.24 : (a) Image SEM (vue de dessus) des cavités après la croissance de VLS (500° C, 5% $\text{SiH}_4$ , 100 sccm, 30 min). (b) Image SEM d'un seul nanofil de silicium cru par VLS à l'intérieur d'une cavité, après la gravure des parois de la cavité. ....	40
Figure 2.25 : (a) Principe de l'assemblage capillaire couplée avec la DEP. (b) Positionnement des nanofils réalisé entre les électrodes prédéfinies. Image SEM des transistors à nanofils FET après positionnement des nanofils (c) silicium et reprise de contact PtSi des S/D ; (d) InAs et	

reprise de contact NiInAs des S/D. Caractéristiques de transfert  $I_{ds} - V_g$  pour e) Si p-FET avec  $V_{ds} = -2V$  et f) InAs n-FET avec  $V_{ds} = 0.1 V$ . .....42

Figure 2.26 : (a) Image du transistor FET mesuré. (b) Illustration schématique du transistor FET à nanofils Si avec une grille en arrière montrant les nanofils couverts par un contact supérieur. (c) Inverse de la constante du temps ( $\tau$ ) en fonction de la fréquence du signal. (d) Caractéristiques de transfert normalisées des transistors FET fabriqués après assemblage des nanofils à des valeurs de fréquences distinctes (e) Valeurs de la pente sous-seuil (s-s) et de la densité de pièges (piège N) extraites des caractéristiques de transfert présentées en (d).. .....43

Figure 3.1 Propriétés électriques ( $I_{on}$  et  $I_{off}$ ) des transistors NMOS et PMOS en fonction du recuit thermique. ....54

Figure 3.2 : Photo du réacteur CVD FirstNano EasyTube™ 3000. ....54

Figure 3.3 : (a) Illustration schématique de mécanisme de croissance VLS. (b) Image SEM des nanofils verticaux obtenus après croissance sur un substrat de silicium cristallin. (c) Diagramme de phase binaire Or-Silicium associé. ....56

Figure 3.4: Illustration schématique et images SEM des électrodes prédéfinies en aluminium déposées sur une surface d'oxyde a) avant et b) après croissance directe des nanofils SiGe à 450°C. ....59

Figure 3.5 : Images SEM montrant l'effet de la température sur la croissance des nanofils horizontaux SiGe pour une épaisseur d'or de 40 nm : (a) 380°C, (b) 420°C, (c) 450°C .....60

Figure 3.6 : Image SEM montrant la croissance des nanofils horizontaux Ge avec une température de croissance égale à 320°C, ( $T = 40$  min,  $P = 4.5$  Torr). ....60

Figure 3.7 : Procédé de localisation des nanofils entre les électrodes. ....62

Figure 3.8 : Illustration schématique du procédé technologique pour la croissance guidée des nanofils horizontaux. Le côté gauche de chaque partie de la figure est la section transversale le long de l'axe AA'. ....63

Figure 3.9: (a) Photomasque NKMV4 d'un échantillon de 1 cm x 1 cm. (b) Agrandissement de l'une des 5 cellules universelles avec plots de contacts de 200  $\mu m$ , chemin d'amenées (électrodes) et les marques d'alignement. (c) Focus sur le centre de la cellule avec les dummies, les zones EBL et les marques d'alignements. ....65

Figure 3.10: Comparaison entre les différents types de dépôts avec : Dépôt directionnel par évaporation sur (a) un motif gravé et (b) sur un substrat avec bicouche de résine pour soulèvement. Dépôt quasi conforme par pulvérisation cathodique sur (c) un motif gravé et (d) sur un substrat avec bicouche de résine pour soulèvement .....65

Figure 3.11: État des microstructures après soulèvement du métal révélant le vide et le surplus sur les bords. (a) Image SEM des microstructures. (b) Image AFM de la zone agrandie dans (a). (c) Image en 3D de la même zone définie. (d) Extrait de la topographie des microstructures désigné avec le profil indiqué dans (b). ....67

Figure 3.12 : État des échantillons après CMP du titane. (a) Image SEM des microstructures planarisées dans l'oxyde. (b) Image AFM de la zone agrandie dans (a) montrant l'effet de planarisation. (c) Extrait de la topographie des microstructures planarisées avec le profil indiqué dans (b). ....68

Figure 3.13 : Image SEM des nanotranchées d'oxyde créées entre les électrodes de titane. ....68

Figure 3.14 : Image en coupe FIB-STEM des flancs verticales des tranchées à la fin du procédé : (a) côté gauche et (b) côté droit.....	69
Figure 3.15 : Illustration schématique de l'état final des micro-et nanostructures de 100 nm de profondeur après gravure de l'oxyde dans les nanotranchées et avant retrait de l'électrorésine. ....	70
Figure 3.16 : (a) Échantillon avec gravure dip-HF seulement ; (b) Échantillon avec gravure consécutive dip-HF et H <sub>2</sub> O <sub>2</sub> . (Échelle = 200 nm) .....	71
Figure 3.17 : Étude comparative des vitesses de gravure sur l'oxyde et le titane en fonction du temps.....	73
Figure 3.18 : Illustration schématique de la surface de l'or exposée au gaz précurseurs au fond des cavités d'oxyde.....	74
Figure 3.19 : Croissance guidée des nanofils dans des cavités à plusieurs dimensions : (a) largeur de 500 nm, (b) largeur de 200 nm et (c) largeur de 100 nm.....	75
Figure 3.20 : Images SEM de : (a) Plots de contact S/D (en carré) pour la mesure électrique ; (b) Nanofil SiGe cru par VLS et confiné à l'intérieur d'une nanotranchée d'oxyde entre les électrodes prédéfinies de titane ; (c) Zone agrandie de (b) montrant les dimensions du nanofil dans une tranchée de 100 nm de largeur et 2 µm de long. (d) Caractéristiques I <sub>DS</sub> -V <sub>DS</sub> du dispositif à nanofil SiGe intrinsèque connecté. ....	78
Figure 3.21 : Image SEM de : (a) La cellule universelle dans laquelle une croissance des nanofils parasite a eu lieu en dehors des tranchées ; (b) Zone parasite agrandie où un nanofil parasite relie les chemins d'amenés des S/D ; (c) Courant attribué au nanofil parasite obtenu entre les chemins d'amenés.....	79
Figure 3.22 : Approche pour éliminer la croissance « parasite » à l'aide d'une étape de CMP après la gravure des microstructures. ....	80
Figure 3.23 : Illustration schématique d'une machine de CMP. (Sensofar USA).....	81
Figure 3.24 : Résultat obtenu sur la CMP de l'or en utilisant des surfactants (4,14 g de SDS + 3,5 ml de .....)	83
Figure 3.25 : Valeur moyenne des vitesses de gravure sur l'or et l'oxyde ainsi que la sélectivité en fonction de la pression appliquée. ....	84
Figure 3.26 : Valeur moyenne des vitesses de gravure sur l'or et l'oxyde ainsi que la sélectivité en fonction de la .....)	85
Figure 3.27 : Valeur moyenne des vitesses de gravure sur l'or et l'oxyde ainsi que la sélectivité en fonction du débit de slurry. ....	86
Figure 3.28 : Mesure AFM de la topographie de la surface d'or (a) avant CMP et (b) après CMP. ....	87
Figure 3.29 : Illustration schématique du procédé damascène pour la planarisation des micro et nanostructures. ....	88
Figure 3.30 : (a) Image SEM des micro-nanostructures d'or planarisées dans l'oxyde. AFM des (b) nanostructures en or de 100 nm de large et (c) microstructures en or de 2 µm de large, après l'étape de planarisation. (d) Mesure profilométrique des microstructures d'or montrant les profils inversés.....	89
Figure 3.31 : Valeur moyenne des vitesses de gravure sur l'or et le titane ainsi que la sélectivité en fonction de la (a) pression appliquée et (b) vitesse de rotation pour un mélange de slurry	



[(2,07 g de SDS avec 1,75 ml de Tween 80) ajoutés à 600 ml d'Ultra Sol A20 et de  $H_2O_2$  dans un ratio de volume 1:1].....90

Figure 3.32 : Différentes étapes de CMP sur l'or et du titane avec une solution de slurry à base d'alumine après : (a) 60 s, (b) 90 s, (c) 120 s. ....91

Figure 4.1: (a) Répartition de la couche électrique et du potentiel électrique à l'interface entre une surface et un liquide électrolyte. (b) Principe du mécanisme électroosmose avec  $E$  le Champ électrique,  $E_x$  la tangente du de ce dernier à la surface des électrodes et  $F_c$  la force de Coulomb appliquée ainsi que les charges accumulées lors de la polarisation des électrodes. (c) Mouvement général de fluide. (d) Vitesse de fluide en fonction de la fréquence appliquée pour des distances différentes de la particule à partir des électrodes [9]. [a,b,c] : adapté de [7]..... 101

Figure 4.2 : (a) Illustration schématique de l'électrothermie générée suite à l'application du champ électrique et la formation des gradients de température  $\nabla T$ , de permittivité  $\nabla \epsilon_m$  et de conductivité  $\nabla \sigma_m$ . (b) Lignes de flux détectées par superposition d'images du mouvement de particules. (c) Facteur  $\Pi$  en fonction de la fréquence appliquée et la conductivité du milieu [11]. (d) Carte fréquence/conductivité pour le déplacement de flux généré par ACEO et ETE. [(a),(b),(d) adapté de [7]]. ..... 103

Figure 4.3 : Principe de diélectrophorèse. Réponse d'une particule à un champ électrique (a) uniforme et (b) non uniforme (adaptée de [18]). Sens de déplacement de la particule quand elle est (c) plus polarisable du milieu ou (d) moins polarisable du milieu..... 105

Figure 4.4 : FCM en fonction de la fréquence appliquée et de la conductivité du milieu pour (a) une sphère en polystyrène de 2  $\mu m$  de diamètre ( $\epsilon_p = 2.5 \epsilon_0$ ) et (b) une sphère en polystyrène de 200 nm de diamètre ( $\epsilon_p = 2.5 \epsilon_0$ ) ..... 106

Figure 4.5 : Protocole de diélectrophorèse pour la connexion des nanofils : (a) Croissance verticale des nanofils sur un substrat Si, (b) Dispersion des nanofils dans une solution d'EDI, (c) Injection de la solution sur une puce au-dessus des électrodes..... 109

Figure 4.6 : Protocole de fabrication des électrodes ITO sur Une lame de verre..... 110

Figure 4.7 : (a) Image d'une puce en verre contenant les électrodes en ITO et la zone de travail. (b) Illustration schématique de la zone de travail agrandie constituant le canal microfluidique qui contient les nanofils dispersés. .... 110

Figure 4.8 : (a) Plateforme de DEP contenant les deux modules : électrique (zone 1) et optique (zone 2), ainsi que (b) l'agrandissement de la zone où est située la puce (zone 3) ..... 111

Figure 4.9 : Analyses du comportement des nanofils sous DEP. Les lignes pointillées verticales montrent une seule électrode d'ITO coplanaire micro-structurée avec une largeur de 10  $\mu m$ . Le grand écart entre les différentes électrodes n'est pas représenté sur la figure. Les lignes circulaires en pointillés sont attribuées aux nanofils au centre des électrodes. Le placement des nanofils entre le gap peut être clairement identifié, car ils sont attachés sur les bords des électrodes. La barre d'échelle est de 10  $\mu m$ . ..... 114

Figure 4.10 : (a) Valeurs de la partie réelle du FCM suivant le long et le petit axe pour un nanofil InAs ( $\epsilon_p = 12.3$ ,  $\sigma_p = 6.4 \times 10^{-3} S / m$ ) suspendu dans de l'EDI ( $\epsilon_m = 80$ ,  $\sigma_m = 1 \times 10^{-6} S / m$ ) en fonction de la fréquence du signal AC appliquée. (b) Nanofil dans un champ électrique dirigé vers la droite avec un gradient de champ électrique aléatoire (en haut). Angle et amplitude

de la force DEP représentés en fonction de l'angle du gradient de champ pour des fréquences de signal de 10 kHz (triangles) 1 MHz (carrés) et 10 MHz (diamants). .....	115
Figure 4.11 : Suivi de vitesse pour des nanofils de silicium. Les nanofils sont d'abord positionnés à proximité des électrodes (i), puis attirés (ii) vers par une force DEP positif aux bords de ces derniers (iii). ( $f = 50$ kHz, $V_{p-p} = 5$ V). La barre d'échelle est de $10\ \mu\text{m}$ . .....	118
Figure 4.12 : Partie réelle du FCM en fonction de la fréquence appliquée pour différents types de nanofils : (a) Si, (b) Si (n++), (c) SiGe. ....	118
Figure 4.13 : Courbe théorique et expérimentale de la partie réelle du FCM en fonction de la fréquence appliquée pour différents types de nanofils : (a) Si, (b) Si (n++), (c) SiGe. ....	122
Figure 4.14 : Illustration schématique des sites d'alignement individuels en or pour la connexion et la caractérisation électrique des nanofils .....	121
Figure 4.15: Images SEM des sites d'alignement individuels après DEP : (a) Site d'alignement vide. (b) Site des nanofils attirés non alignés. (c) Sites de nanofils attirés alignés. ....	122
Figure 4.16 : Rendement d'alignement des nanofils connectés en fonction de la fréquence appliquée. Images SEM des sites d'alignement individuels après DEP pour les différentes compositions du nanofil : (a) image SEM pour nanofils SiGe à 30 kHz (basse fréquence). (b) Image SEM pour nanofils SiGe à 100 kHz (Fcap). (c) image SEM pour nanofils Si (n++) à 700 kHz (Fcap). (d) image SEM pour nanofils Si (n++) à 30 kHz (basse fréquence). (e) image SEM pour nanofils SiGe à 5 MHz (haute fréquence). (f) image SEM pour nanofils Si (n++) à 5 MHz (haute fréquence). [Échelle : $2\ \mu\text{m}$ ]. ....	123
Figure 4.17 : (a) Simulations COMSOL de la force DEP résultante sur des nanofils Si et (b) le rendement des nanofils connectés en fonction de la fréquence [31]. ....	124
Figure 4.18 : Comparaison entre notre méthode présentée et l'approche élaborée par Collet <i>et al.</i> sur la fréquence de capture en fonction de différent type de nanofils [Longueur ( $\mu\text{m}$ ), résistivité] .....	125
Figure 4.19 : (a) Nanofil SiGe connecté avec reprise de contact dessus après alignement par DEP ( $f = 100$ kHz), Caractéristiques $I_{DS}-V_{DS}$ du dispositif à nanofil SiGe intrinsèque connecté : (a) avant siliciuration ; et (b) après siliciuration. ....	126
Figure 4.20: Images SEM des différents sites d'alignement individuels après DEP pour une fréquence de capture ( $f = 100$ kHz) sur une puce CMOS : (a) (c) situé au-dessus des transistors MOS avec un agrandissement respectif (b) (d) sur les électrodes connectées. ....	127
Figure 5.1 : Illustration schématique du procédé technologique pour la fabrication des transistors à nanofils horizontaux : (a) Formation des électrodes S/ D et les plots de contacts pour la DEP ; (b) DEP pour positionner les nanofils horizontalement entre les électrodes ; (c) reprise de contact sur les nanofils, suivi d'un recuit à $400\ ^\circ\text{C}$ pendant 1 min ; (d) Dépôt à $250^\circ\text{C}$ de l'oxyde de grille ( $\text{Al}_2\text{O}_3$ ) dans un bati d'ALD et gravure de ce dernier dans les zones de contact. (e) Dépôt du métal de la grille pour finaliser la fabrication des transistors. ....	135
Figure 5.2 : Images SEM de l'assemblage des nanofils entre des électrodes en or pour une valeur du champ électrique égale à $1.25\ \text{V}/\mu\text{m}$ pendant 45 setune fréquence : (a) 100 kHz (fréquence de capture) et (b) 30kHz (basse fréquence). ....	136
Figure 5.3 : Images SEM des sites d'électrodes connectés après recuit avec leurs courbes I-V respectives pour une (a) fréquence de capture (100 kHz) et (b) basse fréquence (30 kHz). ....	137

Figure 5.4 : Image optique de la zone des électrodes gravée pour éliminer 13 nm de l'oxyde de grille ( $\text{Al}_2\text{O}_3$ ). .....	138
Figure 5.5 : Image SEM d'un transistor FET à nanofils SiGe avec les contacts, fabriqué sur un substrat $\text{SiO}_2/\text{Si}$ et à une température inférieure au budget thermique. ....	139
Figure 5.6 : Caractéristiques électriques d'un transistor MOSFET de type N : (i) $I_{\text{DS}} - V_{\text{DS}}$ et (ii) $I_{\text{DS}} - V_{\text{GS}}$ avec les représentations en échelle linéaire et logarithmique. ....	140
Figure 5.7 : a) courbe $I_{\text{DS}} - V_{\text{DS}}$ pour une tension de grille nulle sur le dispositif n°1 (canal à deux nanofils). b) Courbe $I_{\text{DS}} - V_{\text{GS}}$ pour une tension $V_{\text{DS}} = -0.6 \text{ V}$ du dispositif n°1 avec extraction de la tension seuil. c) courbe $I_{\text{DS}} - V_{\text{DS}}$ pour une tension de grille nulle sur le dispositif n°2 (canal à plusieurs nanofils) d) courbe $I_{\text{DS}} - V_{\text{GS}}$ pour $V_{\text{DS}} = -0.6 \text{ V}$ du dispositif n°2 avec extraction de la tension seuil. ....	143
Figure 5.8 : Effet de la grille $V_{\text{GS}}$ ( $\Omega$ -gate) sur le dispositif n°1 à deux nanofils et le dispositif n°2 à plusieurs nanofils de SiGe pour différentes polarisations du drain ( $V_{\text{DS}}$ ) en régime (a) linéaire et (b) logarithmique. ....	145
Figure 5.9 : (a) Illustration schématique de la découpe d'une puce CMOS avec les zones des transistors MOS. (b) Image SEM des transistors représentant la partie inférieure gauche de la zone MG02. (c) Disposition de chaque plot formant une ligne de transistors MOS avec : G = Grille, D = Drain, S = Source, B= substrat. ....	148
Figure 5.10 : Vue en coupe d'une puce CMOS utilisée avec les empilements des couches par-dessus (coupe TEM réalisée par STMicroelectronics). ....	148
Figure 5.11 : Résultats électriques obtenus sur une liste des dispositifs NMOS avec deux puces CMOS différentes [24]. ....	150
Figure 5.12 : (i) Illustration schématique d'une fonction inverseur basée sur le couplage des transistors à nanofils SiGe (PMOS) avec les transistors NMOS d'une puce CMOS. (ii) Design final pour la fabrication des transistors sur toutes les zones de la puce CMOS. (iii) Vue rapprochée du design d'un transistor à nanofils connecté au transistor MOS de la puce. Les vias sont en bleu foncé, les interconnexions avec les plots des transistors SB FET sont en rouge et les plots du CMOS en bleu clair. ....	151
Figure 5.13 : Illustration schématique du procédé technologique pour l'intégration des transistors à nanofils SiGe horizontaux sur une puce CMOS : (a) Fabrication des vias en titane pour la connexion des transistors MOS. ....	152
Figure 5.14 : (a) Vue en coupe de la structure de la puce rempli des vias. (b) Image SEM de la vue de dessus d'un via rempli avec 400 nm de titane. (c) Caractéristiques électriques $I_{\text{DS}} - V_{\text{GS}}$ du transistor NMOS 32F avant et après remplissage des vias [26]. ....	153
Figure 5.15 : Image SEM d'un transistor à nanofil connecté à un transistor NMOS de la zone MG02, avec les caractéristiques électriques (I-V) du contact entre source et drain et les caractéristiques électriques ( $I_{\text{DS}} - V_{\text{GS}}$ ) du transistor à nanofil obtenu sur la puce. ....	154
Figure 5.16 : (a) Image optique de la zone LOD02 des transistors NMOS, avec le transistor n°97 délimité en bleu. (b) Caractéristiques électriques linéaires ( $I_{\text{DS}} - V_{\text{GS}}$ ) et ( $I_{\text{GS}} - V_{\text{GS}}$ ) du transistor NMOS n°97 pour des polarisations de grille négatives et positives. (c) Caractéristiques électriques logarithmique ( $I_{\text{DS}} - V_{\text{GS}}$ ) du même transistor pour des polarisations de grille négatives et positives. ....	155



# LISTE DES TABLEAUX

Tableau 2.1 : Tableau comparatif entre les deux types d'intégration 3D : parallèle et séquentielle.....	18
Tableau 3.1: Tableau récapitulatif des avantages et inconvénients des différents catalyseurs.....	58
Tableau 3.2 : Tableau rassemblant les différents tests de gravure réalisés au cours de ce projet sur un ensemble des échantillons avec le résultat de la croissance obtenu sur chacun.....	73
Tableau 3.3 : Étude comparative sur les vitesses de gravure du titane et de la résine ZEP en fonction des solutions chimiques utilisées.....	74
Tableau 3.4 : Nom des échantillons testés et l'épaisseur du catalyseur d'or dans chacun avec le rendement obtenu pour les nanofils connectés, non connecté et les tranchées vides.....	76
Tableau 3.5 : Positionnement de cette étude par rapport à d'autres études précédentes concernant la croissance des nanofils horizontaux sur un diélectrique amorphe.....	79
Tableau 4.1: Tableau de comparaison entre les différentes forces existantes dans une puce microfluidique lors de l'application d'un champ électrique.....	109
Tableau 5.1: Inventaire sur les différents paramètres extraits à comparer avec les précédents travaux des différentes équipes de recherche rapportées sur des transistors à nanofils SiGe.....	148

# LISTE DES ACRONYMES

Acronyme	Définition
<b>ACEO</b>	Électroosmose
<b>AFM</b>	Atomic force microscopy
<b>ALD</b>	Atomic Layer Deposition
<b>AOE</b>	Advance Oxide Etch
<b>BEOL</b>	Back-end-of-line
<b>CEA</b>	Commissariat de l'énergie atomique et de l'énergie renouvelable
<b>CIs</b>	Circuits intégrés
<b>CMOS</b>	Complementary Metal Oxide Semiconductor
<b>CMP</b>	Chemical-mechanical-polishing
<b>CNFET</b>	Carbon nanotube field effect transistor
<b>CNT</b>	Carbone nanotube transistor
<b>CVD</b>	Chemical vapor deposition
<b>DEP</b>	Diélectrophorèse
<b>DIBL</b>	Drain induced barrier lowering
<b>EBL</b>	E-beam lithography
<b>EDI</b>	Eau désionisée
<b>EOT</b>	Equivalent oxide thickness
<b>ETE</b>	Électrothermie
<b>FCM</b>	Facteur de Clausius-Mossotti

---

<b>FDSOI</b>	Fully depleted silicon on insulator
<b>FEOL</b>	Front-end-of-line
<b>FET</b>	Field effect transistors
<b>GAA</b>	Gate-All-Around
<b>HUV</b>	Réacteur ultravide
<b>ICP</b>	Inductively Coupled Plasma
<b>ILD</b>	Inter-layer dielectric
<b>IoT</b>	Internet of things
<b>IPA</b>	Alcool isopropylique
<b>ITO</b>	Indium Tin Oxide
<b>LTM</b>	Laboratoire des technologies de la microélectronique
<b>MOS</b>	Metal Oxide Semiconductor
<b>MOSFET</b>	Transistor à effet de champ à structure métal-oxyde-semi-Conducteur
<b>MPSoC</b>	Multi-processor on chip
<b>MRR</b>	Taux de gravure de matériau
<b>NFs</b>	Nanofils
<b>NMOS</b>	Transistor à canal N
<b>NPs</b>	Nanoparticules
<b>PDMS</b>	Polydiméthyl-siloxane
<b>PMOS</b>	Transistor à canal P
<b>RIE</b>	Reactive Ion Etching

---

---

<b>RPCVD</b>	Reduced Pressure Chemical Vapor Deposition
<b>RTP</b>	Rapid Thermal process
<b>SBFET</b>	Transistor à Effet de Champ à Barrières Schottky
<b>SCE</b>	Short Channel Effect
<b>SEM</b>	Scanning electron microscopy
<b>SET</b>	Single electron transistor
<b>SiP</b>	System-in-Package
<b>SoC</b>	System-on-chip
<b>SPE</b>	Solid Phase Epitaxy
<b>TEM</b>	Transmission electron microscopy
<b>TEOS</b>	Tetraethyl orthosilicate
<b>TSV</b>	Through Silicon Vias
<b>UdeS</b>	Université de Sherbrooke
<b>UVL</b>	Photolithographie (UV- Lithography)
<b>VLS</b>	Vapor-Liquid-Solid
<b>VSS</b>	Vapor- Solid –Solid
<b>3DM</b>	3D monolithique
<b>3it.nano</b>	Laboratoire de Nanofabrication et Nanocaractérisation





# CHAPITRE 1

# Introduction générale

## 1.1 Mise en contexte

Depuis son apparition, le transistor à effet de champs (« *Field- Effect-Transistor* » ou *FET*) a constitué l'élément de base des circuits intégrés. Par la suite, la technologie CMOS est devenue la technologie la plus répandue dans la fabrication des circuits numériques. Cette dernière est basée sur l'association de deux transistors MOSFET (« *Metal Oxide Semiconductor field-effect transistors* ») à effet de champ : type N (courant établi par les électrons) et P (courant établi par les trous). Grâce à un fort potentiel de densité d'intégration, de bonnes performances électriques et une maturité technologique, ces transistors présentaient des propriétés électriques intéressantes, qui à leur tour ont permis à la technologie CMOS de réussir sur le plan de la production électronique mondiale. Mais les dimensions de ces derniers n'ont pas cessé de diminuer au cours des dernières années, ce qui a permis de produire un nombre de puces plus élevé pour un coût de fabrication réduit. En effet, cette réduction des dimensions a été marquée par la célèbre loi de « Moore », co-fondateur de la société Intel, qui a prévu que le nombre de transistors sur une plaque de silicium doublerait tous les deux ans. Cette course à la miniaturisation a permis aussi d'augmenter les performances des circuits intégrés en termes de puissance électrique, de vitesse d'opération et de densité d'intégration. La figure 1.1 montre l'évolution de l'architecture des transistors MOS utilisés dans les microprocesseurs Intel depuis 2005.

De nos jours, la réduction de la taille des transistors est confrontée à différents défis technologiques (étapes de lithographie et de gravure critiques), auxquels s'ajoutent d'autres phénomènes parasites, liés aux effets du canal court et à la mauvaise dissipation de la chaleur lors du fonctionnement des transistors MOSFETs miniaturisés. De plus, la puissance dissipée par unité de surface dans les circuits et le coût associé à cet effort de miniaturisation deviennent de plus en plus critiques.

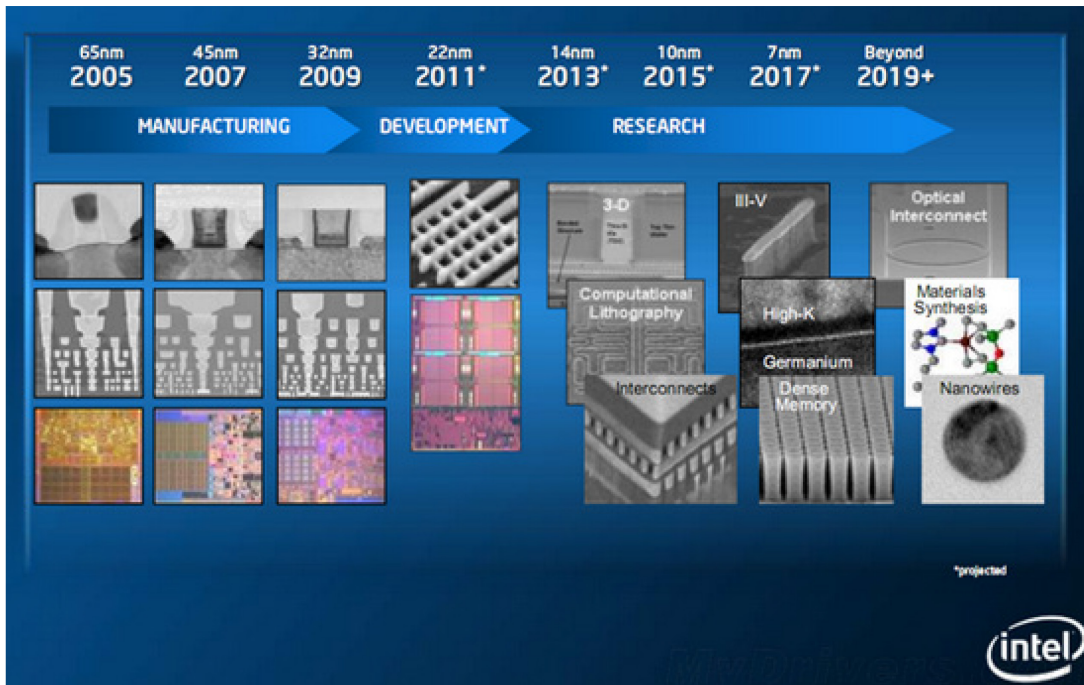


Figure 1.1 : Évolution des générations de transistors MOS d'Intel depuis 2005 [1].

Depuis déjà plusieurs années, les scientifiques se sont penchés sur d'autres solutions alternatives ou complémentaires pour aller au-delà de la loi de Moore. La microélectronique de demain ne sera plus centrée autour de la miniaturisation des transistors, visant uniquement l'amélioration de la rapidité des microprocesseurs, mais adoptera une autre trajectoire liée à la diversification des tâches (mémoriser, capter, calculer ...) dans un système de puissance plus efficace. Cette nouvelle thématique connue par l'approche de « *More than Moore* » recherche sans cesse l'ajout de nouvelles fonctionnalités, qui pourraient à leur tour, être intégrées avec des fonctions CMOS ou « *beyond CMOS* ». Ces différentes approches de diversifications sont illustrées dans la figure 1.2.

L'intégration hétérogène associée avec des composants miniaturisés favorise la combinaison de différentes technologies présentes dans les 2 axes de recherches. Certes, deux grandes approches sont alors développées afin de trouver les solutions aux verrous technologiques :

1. Les systèmes sur puce (SoC) « *System-on-chip* » basés sur une approche séquentielle et

qui permet d'élaborer toutes les fonctions numériques, analogiques, mixtes et radiofréquences sur le même substrat via le même procédé.

2. Les systèmes en boîtier (SiP) « System-in-Package » basés sur une approche hybride, qui consiste à relier des puces de fonctionnalités différentes, en utilisant diverses solutions d'interconnexions au niveau du boîtier.

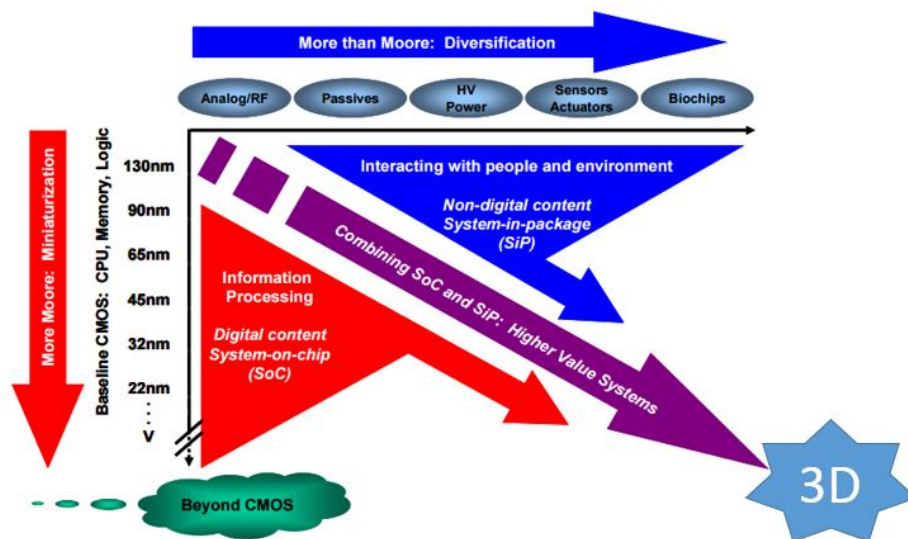


Figure 1 .2 : Positionnement de l'intégration 3D dans le développement présent et futur de l'industrie des semi-conducteurs [2].

Parmi ces nouvelles approches, l'intégration 3D représente une des alternatives adoptées pour augmenter les performances des circuits intégrés comparée aux architectures planaires conventionnelles. Cette architecture tridimensionnelle consiste à empiler verticalement plusieurs dispositifs les uns sur les autres et à les relier à l'aide des connexions verticales courts, qu'on nomme « Through Silicon Vias » ou TSVs. Ce type d'empilement vertical permet de réduire les délais d'interconnexions, la puissance dissipée ainsi que l'espace occupé par des circuits intégrés [3] tout en augmentant la performance. Cette technologie, avec ses avantages de faible puissance et de vitesse de commutation rapide, semble prometteuse, surtout que la demande pour des produits électroniques intelligents et portables augmente aussi.

L'intégration 3D est à son tour divisée en deux catégories : L'intégration 3D parallèle et l'intégration 3D monolithique. Aujourd'hui, les circuits en 3D parallèle ont été fortement

développés. Ils ont montré des gains de puissance significatifs pour différentes applications, comme le système multiprocesseur sur puce (MPSoC) [4]. En ce qui concerne l'intégration monolithique, cette dernière est toujours en phase de développement dans les laboratoires de recherches. Elle consiste à intégrer des composants directement sur une puce CMOS dans le BEOL « Back-end-of-line » au-dessus d'une zone active nommée FEOL (« front-end-of-line »). Mais, quelle que soit l'approche utilisée, l'intégration 3D a ouvert la voie au développement des procédés en exploitant les différents espaces disponibles dans un circuit.

## **1.2 Problématique**

L'élaboration des composants dans les couches supérieures (BEOL) d'une puce CMOS doit respecter certaines conditions relatives aux matériaux, procédés et température. Ceci rend encore plus difficile l'obtention de composants avec de bonnes propriétés électriques. Pour l'instant, la plupart des matériaux utilisés dans l'esprit d'un empilement vertical restent des matériaux polycristallins aux performances électriques dégradées.

Un autre défi consiste aussi à réaliser les composants dans les couches supérieures avec des procédés de fabrication de faible température ( $< 500\text{ }^{\circ}\text{C}$ ) [5]. Le respect de cette température qu'on nomme « budget thermique » permet de préserver les performances électriques des transistors MOSFETs qui se trouvent dans le FEOL.

Récemment, des structures unidimensionnelles, telles que les nanofils semi-conducteurs (NFs), élaborées par des techniques de croissance ascendantes ou « bottom-up », ont suscité un nouvel intérêt pour la fabrication des dispositifs. Ces techniques de croissance permettent de synthétiser des nanofils ayant une bonne qualité monocristalline, tout en respectant le budget thermique des procédés d'intégration 3D monolithique. À l'heure actuelle, la difficulté réside toujours dans la localisation de ces structures pour réaliser des transistors FET compatibles et connectés avec la technologie CMOS sous-adjacente. De plus, les approches de croissance classique produisent des NFs verticaux qui nécessitent des procédés de fabrication beaucoup plus complexe pour la réalisation de transistors.

### 1.3 Question de recherche

Comment élaborer un procédé fiable et reproductible pour la fabrication des transistors à nanofils horizontaux tout en respectant les contraintes du back-end-of-line d'une puce CMOS ?

### 1.4 Axes de travail

Au cours de ce projet de recherche, nous avons choisi deux stratégies pour élaborer des transistors à base de nanofils horizontaux compatible avec la technologie CMOS.

- La première est une approche dite « directe » et qui consiste à réaliser la croissance des nanofils entre des électrodes prédéfinies directement sur un substrat d'oxyde à l'aide d'un procédé de guidage. Ce procédé permettra à termes de confiner et de contrôler la croissance des nanofils horizontaux afin de réaliser des transistors directement sur une couche de SiO<sub>2</sub>. Il combine différentes techniques de fabrication, tout en respectant le budget thermique fixé pour les intégrations en 3D monolithique.
- La deuxième approche est une approche dite « indirecte » consistant d'abord à transférer des nanofils de leur substrat dans une solution d'eau désionisée (EDI). Une fois dans la solution, une technique d'assemblage (« *post-growth assembly* »), la diélectrophorèse (DEP), est employée pour contrôler la localisation et l'orientation de ces nanofils entre les électrodes à l'aide d'un champ électrique non uniforme. Cette technique d'assemblage respecte aussi les différentes contraintes lors d'une intégration 3D monolithique.

### 1.5 Objectifs

L'objectif final de ce projet de recherche sera de démontrer la possibilité d'implémenter de façon monolithique des transistors à canal nanofils horizontaux compatible avec la technologie CMOS. L'étape finale consiste à interconnecter ces transistors fabriqués avec les transistors du FEOL, pour montrer la possibilité de réaliser un circuit hybride 3D.

Afin d'atteindre cet objectif final et de démontrer la faisabilité de ces travaux de recherche, ce travail sera divisé en trois parties majeures :

**1. Intégration directe :** Contrôle de la croissance et guidage des nanofils semi-conducteurs entre deux électrodes prédéfinies (S/D) à basse température ( $\leq 500^{\circ}\text{C}$ ) directement sur un substrat  $\text{SiO}_2/\text{Si}$  :

- Optimiser les paramètres de croissance horizontale des nanofils silicium-germanium (SiGe) en utilisant le mécanisme « *Vapor-Liquid-Solid* » (VLS) au sein d'un bâti de « *Chemical-Vapor-Deposition* » (CVD)
- Mettre en place un procédé de fabrication « *damascène* » compatible CMOS. Ce procédé permettra de localiser les catalyseurs et guider la croissance directe des nanofils horizontaux dans des cavités d'oxydes. Toutes les étapes clefs de ce procédé doivent respecter le budget thermique fixé autour de  $500^{\circ}\text{C}$ .
- Présenter le polissage du catalyseur en or comme une piste d'amélioration du procédé pour favoriser son implémentation sur des grandes surfaces.

**2. Intégration indirecte :** Utiliser la technique de diélectrophorèse pour orienter et localiser des nanofils suspendus dans une solution liquide entre des électrodes prédéfinies :

- Faire une étude qualitative du mouvement des nanofils (NFs) dispersés dans une solution liquide sous l'influence des forces électrocinétiques lors de l'application d'un champ électrique non uniforme.
- Explorer en fonction des différents paramètres de DEP (fréquence, voltage...) l'assemblage horizontal des NFs entre les électrodes sur substrat en silicium.
- Vérifier à l'aide de mesures I-V les caractéristiques électriques du contact entre les nanofils et les électrodes.

**3. Développement et fabrication des transistors à nanofils sur un circuit CMOS :**

- Optimiser les procédés d'intégration des nanofils déjà développés au sein du BEOL d'une puce CMOS fabriquée chez « *ST Microelectronics* ».

- Poursuivre la fabrication des transistors allant du dépôt d'oxyde de grille jusqu'au métal de contact ; pour évaluer et caractériser ensuite les performances électriques de ces composants.
- Réaliser les interconnexions avec les transistors MOS dont l'objectif sera de construire un circuit inverseur hybride.

## 1.6 Plan du document

À la suite de cette introduction générale du contexte et des objectifs, ce manuscrit sera réparti en cinq autres chapitres illustrant les différents travaux de recherche développés dans ce projet.

Le chapitre deux offre une vision globale des bénéfices que pourra apporter l'intégration 3D de manière générale. Il permet cependant d'évaluer par la suite et de manière plus précise les avantages et les défis d'une intégration 3D monolithique (3DM). L'intérêt des nanofils semi-conducteurs et plus précisément les nanofils silicium-germanium sera aussi présenté avec leurs différents outils de synthèse. Par la suite, le mécanisme physique et le mode de fonctionnement des transistors SB-FET (Schottky barrière field effect transistor) seront présentés, suivis d'une revue bibliographique sur les différents procédés de fabrication des transistors à nanofils et leurs techniques d'assemblage.

L'intégration « directe » sera développée dans le chapitre trois. La première partie met en évidence tout le travail d'optimisation des paramètres de croissance VLS fait en amont du procédé. Cette partie montre aussi le besoin d'un procédé qui permet de limiter la croissance aléatoire tout en offrant un contrôle sur le nombre et la connexion des nanofils entre les électrodes. Le développement du procédé « *damascène* » pour localiser les catalyseurs et guider la croissance horizontale des nanofils sera détaillé par la suite. Nous exposerons tous les points bloquants, ainsi que les solutions apportées afin de pallier ces problèmes. Une fois que la croissance est réalisée, nous caractériserons ensuite électriquement le contact de ces nanofils avec les électrodes prédéfinies. Par ailleurs, nous présenterons une étude détaillée de la technique du polissage de l'or (« *Chemical mechanical polishing* » ou CMP) qui sera une piste



explorée pour améliorer le procédé établi. Cette piste offre une solution complémentaire pour la définition du catalyseur dans l'éventualité d'un développement futur dans l'industrie.

Le chapitre quatre présentera un protocole d'alignement des nanofils entre les électrodes en utilisant la technique de diélectrophorèse. Dans cette partie du manuscrit, nous exposerons les différentes forces qui régissent un système de diélectrophorèse lors de l'application d'un champ électrique non uniforme. Nous présenterons par la suite le protocole expérimental allant de la plateforme de test jusqu'à la synthèse des nanofils verticaux sur un substrat de silicium (111) et leur suspension dans un milieu liquide. Nous évoquons la compétition entre les différentes forces existantes dans le système sur le comportement des nanofils en fonction de la fréquence appliquée. Une étude détaillée sur la détermination du facteur de Clausius-Mossotti (FCM) et de la fréquence de capture sera également présentée. Cette étude de fréquence est primordiale afin de pouvoir assembler les nanofils d'une manière horizontale entre des électrodes sur un substrat SiO<sub>2</sub>/Si et par la suite sur une puce CMOS.

Le chapitre cinq décrira le développement d'un procédé technologique basée sur la diélectrophorèse, pour fabriquer des transistors à base de nanofils SiGe horizontaux. La première partie sera consacrée à l'optimisation des différentes étapes technologiques pour concevoir ce type de transistors directement sur un substrat SiO<sub>2</sub>/Si. Ensuite, les propriétés électriques de ces dispositifs fabriqués seront présentées. Dans la seconde partie, un procédé d'intégration 3D des transistors à nanofils dans le BEOL d'une puce CMOS sera mis en place. Nous commencerons par décrire l'architecture d'une puce CMOS fabriquée chez ST et présenterons à la fin de ce chapitre les premiers dispositifs réalisés, ainsi que leurs propriétés électriques.

Le chapitre six récapitulera tous les travaux effectués au cours de ce projet de recherche et proposera ensuite les différentes pistes à explorer pour des projets futur.

## Listes des références du chapitre 1

- [1] <https://www.tomshardware.fr/articles/finesse-gravure-8-nm,1-2937>.

- [2] J. H. A.Chen, V. Zhirnov, “Emerging research devices.,” *ITRS Public Conference*, 2012.
- [3] M. M. Shulaker, T. F. Wu, M. M. Sabry, H. Wei, H. P. Wong, and S. Mitra, “Monolithic 3D Integration : A Path From Concept To Reality,” *proceedings of the 2015 Design, Automation & Test in Europe Conference & Exhibition* EDA Consortium. pp. 1197–1202, 2015.
- [4] D. Dutoit, C. Bernard, S. Cheramy, F. Clermidy, Y. Thonnart, P. Vivet, C. Freund, V. Guerin, S. Guilhot, S. Lecomte, G. Qualizza, J. Pruvost, Y. Dodo, N. Hotelier, and J. Michailos, “A 0.9 pJ/bit, 12.8 GByte/s WideIO memory interface in a 3D-IC NoC-based MPSoC,” *VLSI Technology (VLSIT), Symposium on*, pp. 22–23, 2013.
- [5] C. Fenouillet-Beranger, B. Mathieu, B. Previtali, M. P. Samson, N. Rambal, V. Benevent, S. Kerdiles, J. P. Barnes, D. Barge, P. Besson, R. Kachtouli, M. Cassé, X. Garros, A. Laurent, F. Nemouchi, K. Huet, I. Toqué-Trésonne, D. Lafond, H. Dansas, F. Aussenac, G. Druais, P. Perreau, E. Richard, S. Chhun, E. Petitprez, N. Guillot, F. Deprat, L. Pasini, L. Brunet, V. Lu, C. Reita, P. Batude, and M. Vinet, “New insights on bottom layer thermal stability and laser annealing promises for high performance 3D VLSI,” *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 27.5.1-27.5.4, 2015.

### 2.1 Introduction

Ce chapitre offre une vision globale sur les derniers travaux de recherche réalisés, pour augmenter les performances des circuits intégrés dans le futur. Nous allons dans la première partie se focaliser sur les bénéfices que présente une intégration 3D comparée aux autres architectures planaires traditionnelles. Nous allons plus loin montrer les différentes architectures d'empilement vertical, en se focalisant sur les avantages et les défis qui peuvent exister lors d'une intégration 3D monolithique et qui sera au cœur de notre projet de recherche. Nous allons de même présenter, l'état de l'art sur les récentes avancées dans l'architecture d'intégration 3D monolithique au sein des différentes couches d'une puce CMOS (FEOL et BEOL). La deuxième partie de ce chapitre sera consacré aux intérêts des nanofils, ainsi qu'à leurs différentes approches de synthèse. Ensuite, nous nous focaliserons sur les avantages de l'approche ascendante, ainsi qu'à l'importance de l'alliage silicium-germanium (SiGe) dans une intégration 3D monolithique des composants. Dans la dernière partie de ce chapitre, nous exposerons les différentes techniques d'assemblage des nanofils horizontaux. En effet, nous expliquerons le mode de fonctionnement des transistors à nanofils (SB-FET), en détaillant le mécanisme physique sous-jacent. Nous exposerons après une revue bibliographique des procédés de fabrication par voie directe des transistors à nanofils horizontaux à partir d'un substrat cristallin et amorphe. À la fin de ce chapitre, nous exposerons les techniques d'assemblage des nanofils par diélectrophorèse pour élaborer des transistors à des températures qui respectent le budget thermique.

### 2.2 L'intégration 3D : Avantages et architectures

#### 2.2.1 Les bénéfices de l'intégration 3D

L'intégration 3D reflète une stratégie à adopter dans les générations futures des circuits intégrés (CIs), dont l'objectif sera d'améliorer leurs performances dans une logique de « *More than Moore* ». Elle présente de nombreux avantages par rapport à une configuration planaire, où les

différentes puces sont reliées par des lignes d'interconnexion horizontaux et longs. Ces lignes sont considérées comme une source importante de perte en puissance, contribuant à l'augmentation des délais d'interconnexions, ainsi qu'à la surface occupée. Il est à préciser que le délai d'interconnexion ( $\tau$ ) est égal au produit de la capacité  $C$ , correspondant à l'espacement entre deux lignes par la résistance  $R$  de ces derniers. Ce modèle RC des schémas d'interconnexions a été décrit par Fevenec *et al.* [1] comme le montre la figure 2.1.

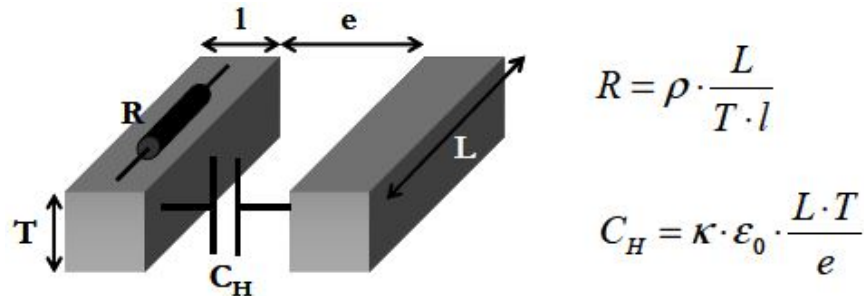


Figure 2.1 : Modèle d'interconnexion décrite par [1].

Dans une intégration 3D des circuits, le principe reposera sur une logique d'empilement verticale des différentes puces. Cette extension spatiale réduira d'un côté la surface occupée dans les CIs. D'un autre côté, le câblage horizontal long dans les circuits 2D sera remplacé par des fils verticaux courts que l'on nomme « *Through Silicon Via* » ou TSVs. Avec ce type d'assemblage vertical, les délais d'interconnexions se réduisent en fonction du nombre des couches empilées comme le montre la figure 2.2.

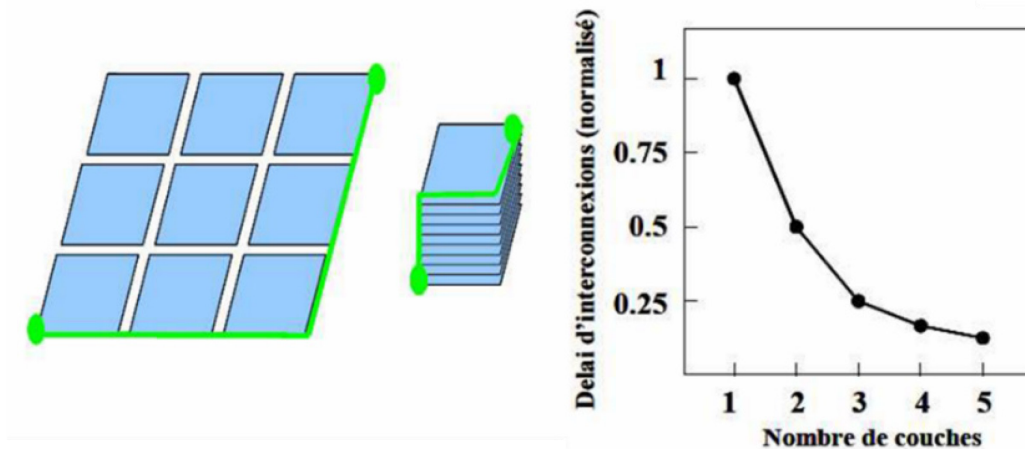


Figure 2.2 : Effet de l'assemblage en 3D sur la surface occupée ainsi que sur les délais d'interconnexions [2].

Différents travaux de recherche ont aussi étudié l'impact d'une telle structure sur la réduction des longueurs d'interconnexions par rapport à une structure planaire. Les travaux de Zhang *et al.* [3] ont estimé une chute de 30 % en moyenne des longueurs d'interconnexions comparé aux circuits classiques 2D. Aujourd'hui, il est possible d'atteindre une densité d'interconnexions allant jusqu'à  $10^8$  vias/mm<sup>2</sup> [4]. Par ailleurs, les circuits en 3D ont montré des gains de puissance significatifs pour différents types d'applications, comme le système multiprocesseur sur puce (MPSoC) [5]. De manière générale, l'intégration 3D est une technologie mixte qui permet de combiner les procédés d'intégration des dispositifs homogènes systèmes sur puces (SoC), avec le monde du packaging (SiP). Pour cette raison, il apparaît que le développement des procédés en 3D sera moins cher que celui des futurs nœuds technologiques [6], mais qui doit faire face à des contraintes de fabrication beaucoup plus poussées. Les études de Ferrant *et al.* [7] ont montré une réduction du coût de fabrication d'un produit élaboré en 3D en fonction de la surface du circuit. Un autre avantage majeur que présente l'intégration 3D est la possibilité d'incorporer différents matériaux et technologies, difficiles à fabriquer sur un même support. L'utilisation des TSVs permet, à terme, de renforcer la communication entre ces différents blocks et composants.

Cependant, on peut identifier deux classes de disposition dans une logique d'empilement verticale : l'intégration 3D parallèle des puces et l'intégration 3D monolithique. Dans une intégration parallèle, les puces sont fabriquées de manière indépendante, puis sont associées l'une au-dessus de l'autre et sont connectées à l'aide des TSVs. L'intégration 3D monolithique est une approche qui offre la possibilité d'élaborer de manière séquentielle de nouvelles fonctionnalités dans le BEOL d'une puce sur le même substrat. Nous présenterons ensuite ces deux voies technologiques y compris leurs avantages, leurs inconvénients ainsi que leur critère de distinction.

### **2.2.2 Intégration 3D hétérogène des puces avec TSVs**

L'intégration 3D des puces (3D ICs /SiP) consiste à superposer de manière indépendantes une variété des composants sur différents niveaux (mémoire : SRAM, DRAM, MEMS, Capteur...) La figure 2.3 (a) illustre un type d'intégration 3D dense de plusieurs circuits. Un grand nombre de « vias » est indispensable pour réaliser ce type d'empilement, vu le nombre important des

signaux à interconnecter. Cette approche, requiert ainsi un alignement précis entre les différentes puces, pour composer à la fin un circuit en 3D. Des exemples montrent, la possibilité d'assembler des technologies qui nécessitent des tensions d'alimentation différentes (i.e. un système de mémoires distribuées dans un microprocesseur)[8][9] [figure 2.3 (c)]. Ce type d'intégration 3D peut se faire suivant différentes approches : (a) de plaque à plaque [10], de puce à plaque [11], ou de puce à puce [12]. Les TSVs quant à eux, peuvent être fabriqués avant ou après collage en fonction de l'intégration et du type d'empilement choisi. Toutefois, leur processus de fabrication commence par une gravure suivie d'un dépôt d'une couche de SiO<sub>2</sub> ou du Tetraethyl-orthosilicate (TEOS) pour isoler électriquement les flancs des TSVs, ainsi qu'un dépôt d'un autre matériau « barrière », pour limiter la diffusion du métal.

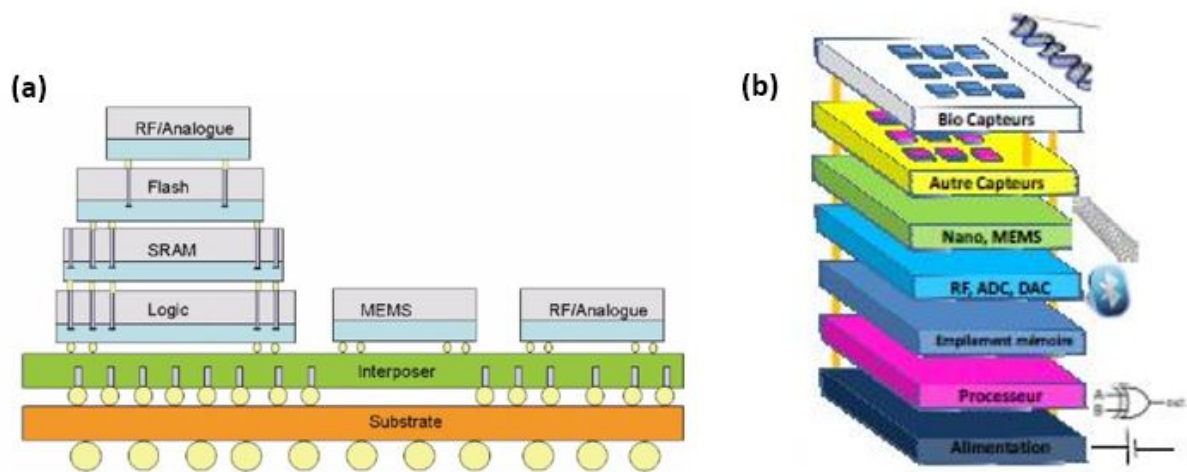


Figure 2.3 : (a) Schéma en coupe qui montre une intégration 3D-IC de plusieurs circuits connectés par des TSVs sur une plateforme d'interposition dédiée à la connexion des puces aux contacts métalliques du boîtier à destination du circuit imprimé. (b) Illustration d'un empilement des technologies hétérogènes sur plusieurs niveaux [8][9].

Le remplissage consiste à déposer un métal (généralement du cuivre) dans les cavités gravées. Le diamètre des TSVs varie entre 1 et 100  $\mu\text{m}$ , avec un facteur de forme compris entre 1 et 30, correspondant au rapport de la hauteur sur la largeur. Il existe trois types de procédés intitulés « vias-first », « vias-middle » ou « vias-last ». La figure 2.4-(a) illustre les différentes façons pour empiler les circuits d'une manière verticale, alors que la figure 2.4- (b et c) illustre les catégories d'assemblage pour réaliser des connexions inter puce (TSVs). L'assemblage des puces repose sur différentes étapes technologiques communes, auxquelles s'ajoutent autres procédés de fabrication des vias, comme l'amincissement des plaques, l'alignement et le collage des puces

et l'orientation de l'empilement qui se déroule suivant deux techniques : « Face to Back » ou « Face to Face ».

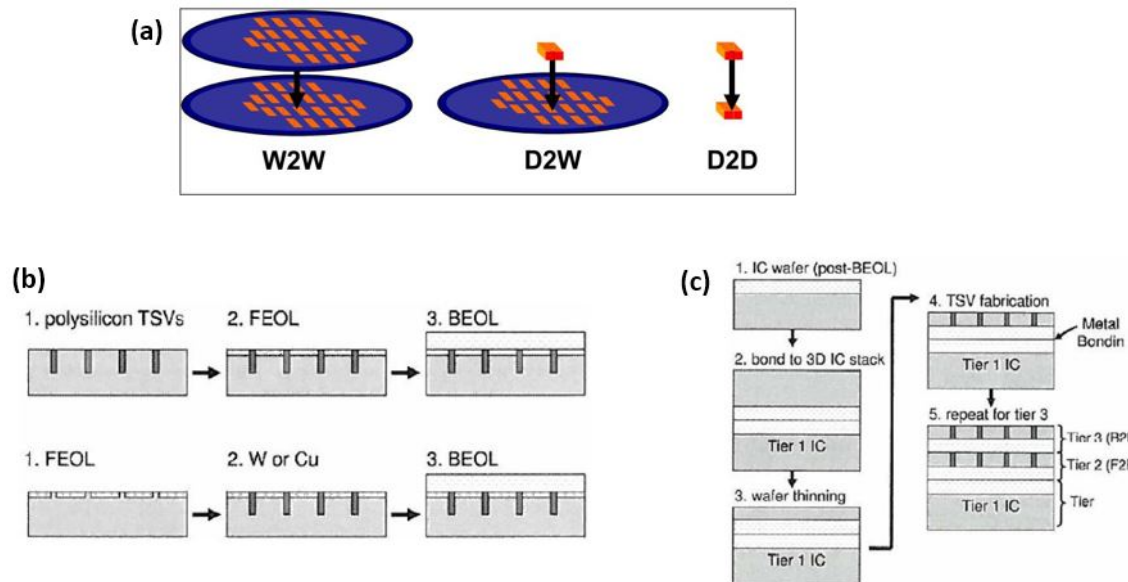


Figure 2.4 : (a) Représentation des différentes approches d'empilement 3D hétérogène [13]. (b) Exemple de fabrication des vias-first et vias-middle [14]. (c) Processus de fabrication des vias-last [14].

L'avantage de cette technique réside dans sa capacité à empiler un grand nombre de puces, ayant chacune une fonction différente au sein du même boîtier. Elle requiert l'optimisation de chaque puce de manière indépendante avant l'assemblage. Ce type d'assemblage permet d'augmenter les fonctionnalités et la densité des composants par unité de surface à l'échelle d'un boîtier. Elles seront reliées électriquement par l'intermédiaire des interconnexions verticales. C'est une association au sein d'un même boîtier des microprocesseurs, des MEMS, des composants RF et des batteries.

Mais cet empilement tridimensionnel des puces peut aussi contenir certains aspects négatifs. D'abord, le métal du cuivre utilisé pour remplir les vias peut générer une différence de dilatation thermique avec le silicium, ce qui peut aboutir à des contraintes résiduelles au sein de ce dernier. De plus, un grand nombre de TSVs utilisés présente un facteur de forme agressif qui affecte l'encombrement des puces. Ajoutons qu'un nombre limité et identique d'I/O réparti sur les différentes puces (comme le montre la figure 2.5) peut affecter la distribution de la puissance dans les circuits 3D par rapport aux circuits planaires [15]. Ceci réduit ainsi la densité des connexions, ce qui limite également la densité des composants sur chacun des circuits. D'autres

problèmes technologiques peuvent aussi apparaître surtout en termes de la maîtrise du collage, le contrôle de l'alignement, l'amincissement de la plaque supérieure, ainsi que la qualité des vias traversant fabriqués.

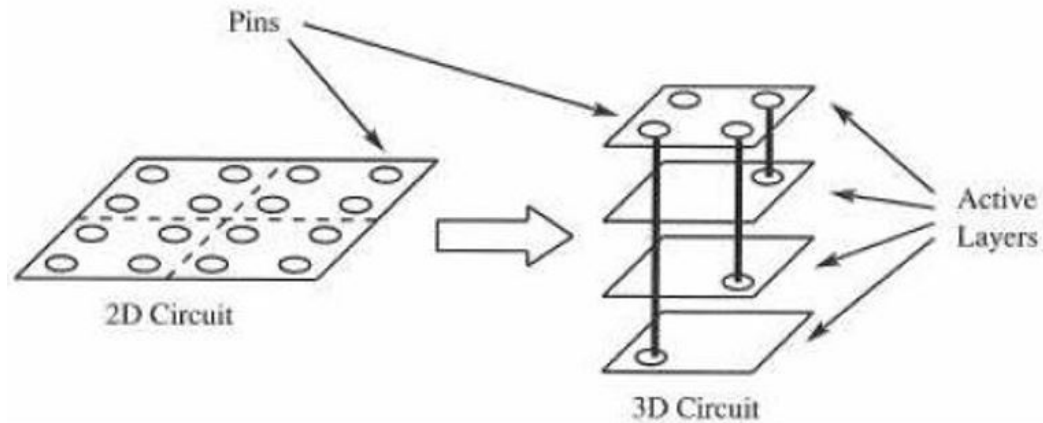


Figure 2.5 : Nombre limité d'I/O dans les circuits 3D comparé aux circuits planaires [15].

### 2.2.3 Intégration 3D monolithique dans le BEOL et ses avantages

L'autre technique d'empilement verticale consiste à réaliser une intégration à l'échelle d'une même puce. Cette architecture connue sous le nom d'intégration 3D monolithique, consiste à fabriquer les composants dans les niveaux supérieurs d'une puce CMOS, pour les connecter avec les transistors du niveau inférieur. Avant de présenter en détail ce type d'intégration, ainsi que ses avantages et ses inconvénients, nous allons expliquer les différentes régions qui constituent une puce CMOS. En effet chaque puce contient deux « blocks » ou zones distinctes : La première zone connue sous le nom du « Front-end of line » (ou FEOL) contient la partie active (transistors MOS) fabriquée sur une plaque de silicium. Les restrictions en température de fabrication des transistors sont moins ressenties dans cette zone. En revanche, il existe autres restrictions concernant les matériaux utilisés. Certains, comme le cuivre et l'or sont considérés comme « contaminants » pour le silicium.

Après vient la zone du « Back End of line » dédiée à la connexion de tous ces dispositifs MOS, une fois que la fabrication de ces derniers est terminée. Elle contient les contacts, les vias et les lignes [16]. Les lignes ou les interconnexions horizontales sont isolées l'une de l'autre par des couches diélectriques qu'on appelle « Interconnect Layer Dielectric » ou ILD. La figure 2.6 montre un schéma illustrant ces différentes interconnexions.



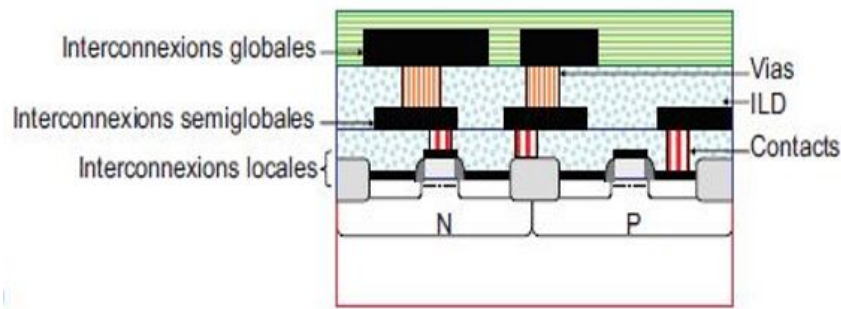


Figure 2.6 : Schéma illustrant les différentes connectiques (interconnexions, contacts et vias) séparées par une couche de diélectrique (ILD) [16].

Pour remplir les différentes fonctions, les niveaux communiquent entre eux par des vias. Dans cette approche monolithique d'intégration, les dimensions des vias diffèrent de celle d'une intégration 3D des puces [4]. Pour la technologie 3D VLSI qui est basée sur l'intégration CoolCube <sup>TM</sup>, les vias possèdent un diamètre d'ordre nanométrique ( $\sim 40$  nm) pour une profondeur de quelques centaines de nm et un espacement « pitch » de 110 nm [17].

Cette architecture du « Back-End » acquiert une importance de plus en plus grande surtout avec les obstacles rencontrés dans la miniaturisation des composants. Elle permet de gagner en densité tout en réduisant la longueur des différentes interconnexions. L'empilement de plusieurs niveaux de transistors interconnectés dans le BEOL constitue une base pour des applications de forte densité des composants au sein d'une même cellule. Elle offre ainsi la possibilité d'intégrer au sein de la puce des matériaux semi-conducteurs de natures différentes, grâce à différentes techniques de collages (Si, CNT) [18][19], ainsi qu'une large gamme de composants (mémoire, MEMS, Capteur...) élaborés directement dans les BEOL[8]. De plus, la nature fine et transparente de la couche supérieure de BEOL permet un alignement plus facile entre les niveaux [20]. Un exemple de ce type d'intégration a été étudié en détail par P. Batude *et al.*[21]. Les auteurs ont montré la possibilité d'empiler des transistors de germanium et de silicium de type « FDSOI : Fully depleted silicon on insulator » les uns au-dessus des autres.

Cependant, le « budget thermique » constitue un frein au développement de procédés de fabrication pour ce type d'intégration. La réalisation des composants dans le BEOL ne doit en aucun cas endommager le fonctionnement des transistors fabriqués déjà dans le FEOL. Vu la grande proximité entre les différentes zones de la puce, l'empilement des composants demande

un important travail de conception et d'optimisation d'architecture des circuits, afin de déterminer la disposition de chaque composant au sein de la même cellule.

## 2.2.4 Tableau de comparaison

Dans le tableau ci-dessous, on présente une récapitulation des deux types d'intégrations. Rappelons, que l'intégration 3D parallèle des puces consiste à empiler des circuits fabriqués indépendamment, alors qu'une intégration 3D monolithique permet d'élaborer des circuits entièrement 3D à l'échelle de la même puce.

<b>Intégration 3D parallèle (3D/IC) Des puces</b>	<b>Intégration 3D monolithique</b>
1. Empilement des circuits indépendants optimisés avant l'assemblage et connectés par des TSV.	1. Réalisation des circuits entièrement sur la même puce, dont les fonctions elles-mêmes se répartissent sur différents niveaux.
2. Problématiques d'empilement des plaques (collage et alignement, amincissement des plaques supérieures et la réalisation d'interconnexions électriques de bonne qualité sur différents niveaux)	2. Problématiques dans la réalisation des composants actifs dans le BEOL à faible température pour ne pas dégrader les performances des transistors dans le FEOL.
3. Précision d'alignement maximale atteignable démontrée de $\sim 100$ nm [20]	3. Précision d'alignement maximale atteignable démontrée de $\sim 10$ nm [17]
4. Densité d'interconnexions 3D atteignable à $\sim 10^4$ vias/mm <sup>2</sup> à cause de l'enchaînement des étapes technologiques. (Diamètre des vias d'ordre micrométrique) [22]	4. Précision d'alignement permettant d'atteindre une densité de $\sim 10^8$ vias/mm <sup>2</sup> . (Diamètre de vias d'ordre nanométrique) [4]
5. Procédé utilisé « Vias-last ».	5. Procédé utilisé « Vias-first » ou « Vias-last ».
6. Distance ou pitch qui sépare les vias entre 3.5 et 10 $\mu$ m [22].	6. Distance ou pitch qui sépare les vias autour de 110 nm [4]

Tableau 2.1 : Tableau comparatif entre les deux types d'intégration 3D : parallèle et séquentielle.

## 2.3 Fabrication des composants pour une intégration 3D monolithique

Récemment, plusieurs équipes de recherche ont démontré un empilement séquentiel des composants sur une zone active d'une puce CMOS. Il faut ainsi distinguer que l'intégration 3D monolithique pourra avoir lieu soit dans la zone de FEOL au niveau des interconnexions locales, soit dans la zone du BEOL au niveau des interconnexions semi-globales ou globales. Ces deux parties sont représentées schématiquement sur la Figure 2.7. Différents travaux d'intégration monolithique dans la zone du FEOL ont déjà été réalisés. On peut citer ceux du LETI [17][23], qui ont montré une fonction inverseur suite à la fabrication d'un transistor supérieur à basse température grâce à un procédé de collage moléculaire direct, incluant l'activation des dopants par SPE (Solid Phase Epitaxy) ou par recuit laser, avec une épitaxie à basse température (figure 2.8). Pour l'intégration 3DM dans le BEOL, cette dernière aura lieu dans des régions encore plus éloignées de la partie active des composants MOS, ce qui engendre des longueurs d'interconnexions encore plus élevées.

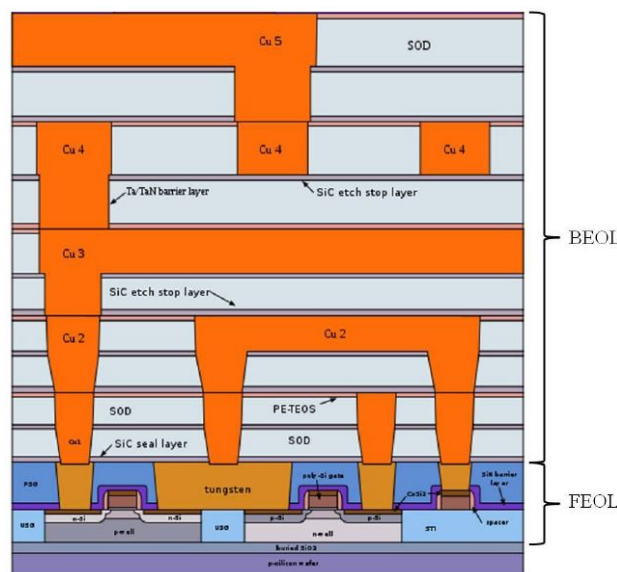


Figure 2.7 : Représentation schématique de la zone du FEOL (les transistors) et celle du BEOL (les interconnexions) d'une puce CMOS (Wikipédia).

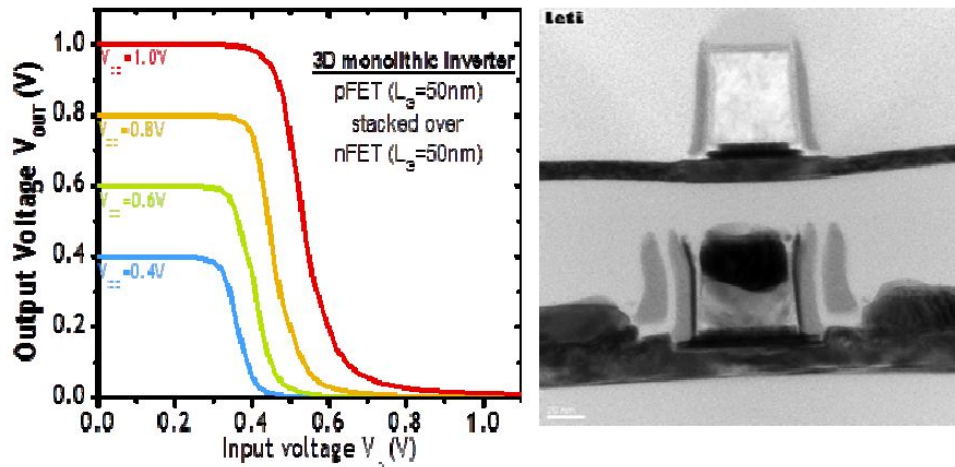


Figure 2.8 : a) Résultats électriques d'un inverseur monolithique 3D comportant un transistor P sur un TFET. b) Vue en coupe mettant en évidence la précision d'alignement entre les couches supérieure et inférieure [23].

Récemment, des travaux de recherche ont réussi à intégrer différents matériaux et composants dans la zone du BEOL, afin de réaliser des fonctions logiques diverses. Une équipe à l'université de Stanford [24] a implémenté dans le BEOL des transistors à nanotubes de carbone, afin de réaliser différentes fonctions logiques, allant des inverseurs à la fonction NOR-OU (NOR) [figure 2.9 (a et b)]. Ils ont ainsi démontré la possibilité d'intégrer ces transistors à nanotubes de carbone avec des mémoires résistives (RRAM), chacun sur un niveau différent au-dessus des transistors FET conventionnel [25] [figure 2.9 (c)].

Le problème des nanotubes de carbone réside dans les procédés mis en place pour séparer les nanotubes de nature métalliques (m-CNTs) de ceux de nature semi-conductrice (sc-CNTs). Pour le moment, aucune technique de croissance ne peut produire uniquement des sc-CNTs [26]. Toutes ces opérations pour éliminer les nanotubes métalliques ne sont pas considérées suffisantes pour certaines applications, qui requiert la diminution du pourcentage des nanotubes métalliques au-dessus de 0.01% [27].

Grâce à des techniques de collage, d'autres équipes ont pu intégrer des matériaux III-V pour réaliser des transistors FET sur des transistors MOS conventionnels à canal SiGe ou Ge dont l'objectif final était de réaliser une fonction inverseur [28][29] [Figure 2.10 (a) et (b)].

Une autre étude a montré pour la première fois la possibilité d'intégrer une cellule photovoltaïque sur un circuit MOS, dédiée à des applications faible consommation comme un capteur sans fil à faible puissance, ou des appareils portables [30] [Figure 2.10 (c)]. Une équipe de « National Nano Device Laboratories » à Taiwan a utilisé une technique de CMP sur du

silicium cristallisé pour élaborer des transistors avec une couche ultra fine (15 nm d'épaisseur), l'un au-dessus de l'autre afin de créer une fonction inverseur, ainsi qu'une configuration mémoire (6T SRAM) [31] [Figure 2.10 (d)].

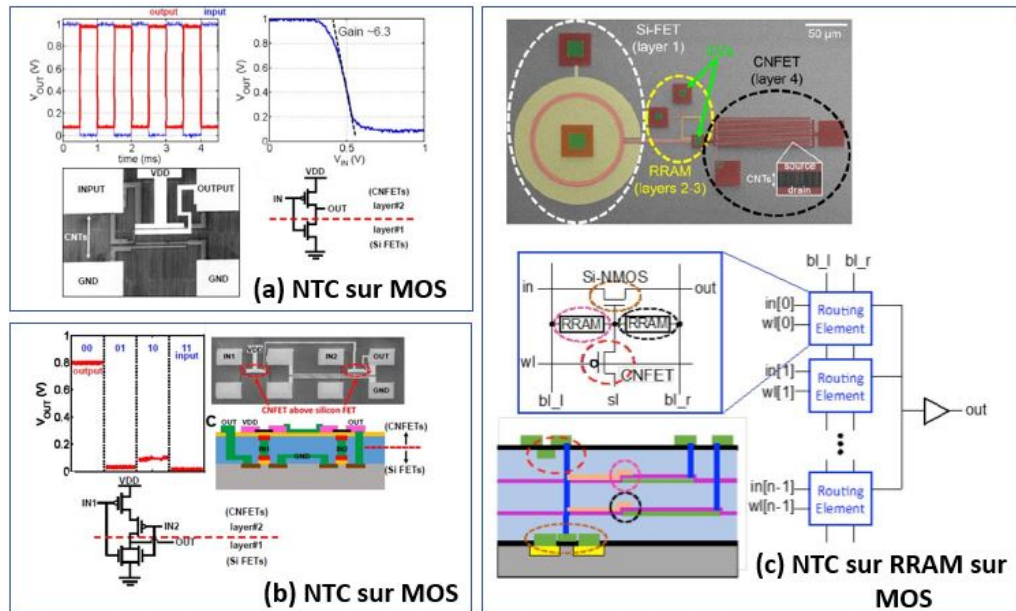


Figure 2.9 : Intégration 3DM d'un transistor FET à nanotube de carbone (CNFET) avec un transistor MOSFET conventionnel pour réaliser une fonction logique : (a) Inverseur, (b) NOR-OU [24]. (c) Image SEM et illustration schématique d'une intégration 3DM d'un transistor à CNFET pour fabriquer un élément de routage d'une boîte de commutation d'un circuit logique programmable [25].

Pour la plupart de ces procédés, le problème réside dans la qualité des matériaux utilisés, qui dégrade les performances électriques des composants. Ajoutons que la fabrication de ces différents composants regroupe un point en commun : leur élaboration ne doit pas dégrader les propriétés électriques, malgré la présence d'une couche amorphe sur laquelle l'intégration dans le BEOL aura lieu. C'est pour cette raison, tous ces composants fabriqués dans le BEOL d'une puce CMOS à travers les différentes techniques présentées respectent la contrainte du budget thermique. Les circuits qui résultent de cette intégration sont considérés comme une alternative à la miniaturisation des composants, surtout pour les applications des technologies vertes ou pour l'internet des objets (IoT). Afin de répondre à ces enjeux de performances, de fabrications et de miniaturisations, nous allons par la suite nous concentrer sur des structures unidimensionnelles, qu'on appelle les nanofils. Ces derniers semblent être prometteurs pour pouvoir les implémenter dans des composants au sein du BEOL.

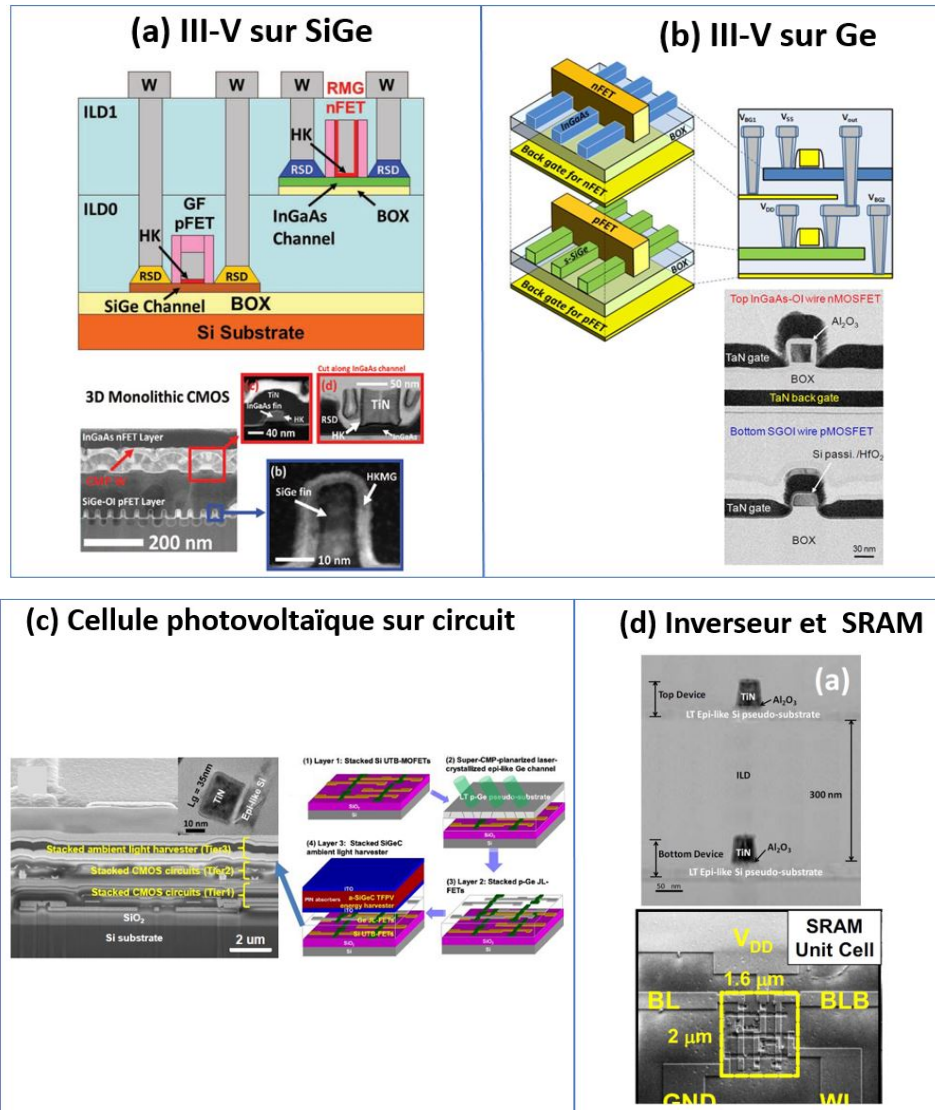


Figure 2.10 : Récapitulatif des intégrations 3DM de différents types de composants réalisés avec différents types de matériaux et utilisant des techniques de fabrication diverses [28] [29] [30] [31].

Leur qualité monocristalline, leur faible coût de synthèse, ainsi que la possibilité de contrôler l'injection des dopants, les rendent intéressants sur le plan de fabrication des composants futurs. Dans la section suivante, nous allons exposer l'intérêt que porte les nanofils dans des applications diverses. Nous présenterons aussi les différentes approches de synthèse de ces nano-objets. Cet éclairage permettra à termes de mieux comprendre les différentes raisons qui offrent la possibilité d'intégrer les nanofils dans des transistors compatibles avec la logique CMOS.

## 2.4 Les nanofils semi-conducteurs dans une optique d'intégration 3D

Les nanofils désignent des objets tridimensionnels, définis comme étant une structure avec un diamètre très inférieur à sa longueur. Typiquement le diamètre est inférieur ou égale à 100 nm, pour une longueur allant jusqu'à quelques microns.

### 2.4.1 Intérêt et applications des nanofils

Récemment, les nanofils ont émergé comme étant des briques de base pour fabriquer des nanodispositifs et des systèmes fonctionnels prometteurs. Ils offrent ainsi des propriétés intéressantes, qui peuvent être exploitées pour une variété d'applications, comme les capteurs chimiques [32] et biologiques [33], les transistors FET [34], les diodes électroluminescentes [35], l'optoélectronique [36] et les photodétecteurs [37], ainsi que des interfaces avec les cellules vivantes [38] et tant d'autres domaines [39]. Nous allons par la suite montrer quelques aspects de leurs applications.

Grâce à leur forme unidimensionnelle, une architecture de transistor avec une grille enrobante « Gate All Around Nanowire FET » pourra être fabriquée. Cette architecture permet un bon contrôle électrostatique de la grille sur le canal, ce qui contribuera à la réduction du courant  $I_{off}$  [40][41]. Les nanofils possèdent beaucoup de potentiel, ce qui permet leur utilisation dans des applications diverses au-delà de l'électronique tel que :

**A- Résonateurs mécaniques :** Un procédé de fabrication des résonateurs mécaniques a été développé par M Fernandez-Regulez *et al.* [42]. Il est basé sur le principe de la sélectivité fournie par des nanoparticules (NPs) d'or déposées sur des surfaces de silicium par rapport aux surfaces d'oxyde, dont l'objectif final sera de réaliser une croissance des nanofils horizontaux à des positions prédéterminées. Les résonateurs mécaniques issus de ces travaux comportent des dispositifs avec des nanofils de silicium de 8  $\mu\text{m}$  de long et un diamètre de 120 nm. Les résonances mécaniques sont mesurées soit optiquement soit électriquement comme le montre la figure 2.11 (b et c).

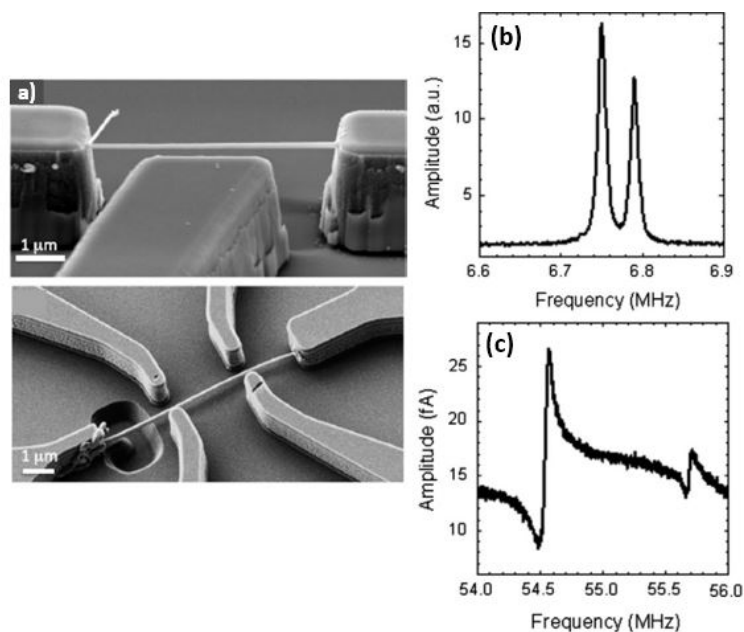


Figure 2.11 : (a) Images SEM des résonateurs nanomécaniques obtenus pour donner suite au procédé de fabrication. Résultats de la caractérisation des résonances mécaniques mesurés (b) optiquement et (c) électriquement [42].

## B- Capteurs biologiques et chimiques :

Typiquement, la sensibilité et la résolution des capteurs à bases de nanofils dépendent de la forme géométrique de ces derniers. Il existe différentes catégories de nanofils qui dépendent de la nature du matériau qui les constitue. On peut citer les nanofils isolants (comme le  $\text{SiO}_2$  et le  $\text{TiO}_2$ ), les nanofils semi-conducteurs (comme InP, Si et GaN), les nanofils métalliques (tels que Ni, Pt et Au), ainsi que des nanofils moléculaires (organiques ou inorganiques). J.Y Yuk *et al.*[43] ont décrit la réalisation d'un biocapteur, qui comprenait deux électrodes en argent reliées par des nanofils conducteurs à base de polyaniline (revêtues par des nanoparticules magnétiques). Lorsque les molécules de « biotine » s'associent avec les nanoparticules magnétiques, un flux d'électrons apparaît, ce qui entraîne un changement de la résistivité en raison de l'interaction moléculaire, comme le montre la figure 2.12 (a et b). Les résistances sont par la suite vérifiées à l'aide d'un courant d'impulsion (10  $\mu\text{A}$ ) et un autre non impulsif (figure 2.12 (c)), ainsi que différentes concentrations de molécule biotinylées (IgG) (figure 2.12 (d)). Ils ont montré que le signal électrique se stabilise après environ 2 min, une fois que les molécules se combinent de manière adéquate avec le biocapteur.



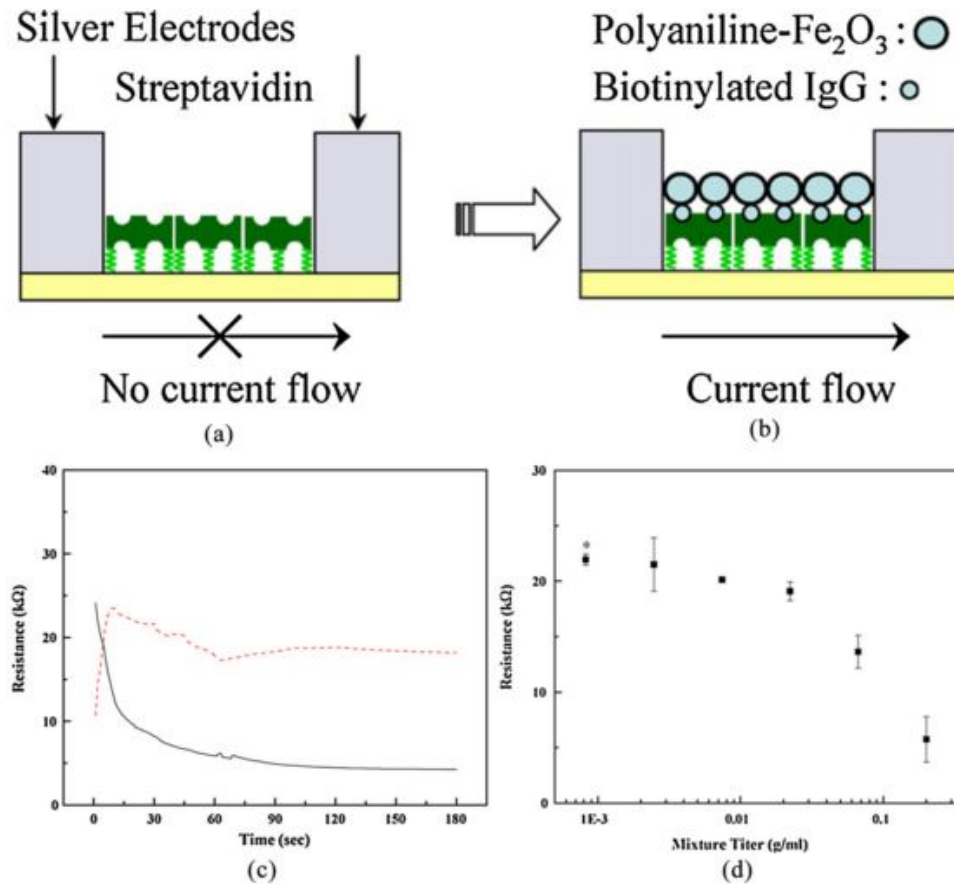


Figure 2.12 : Illustration schématique du processus de génération de signal électrique avant et après injection des molécules de biotine sur le biocapteur ; (c) analyse électrique des résistances des interactions moléculaires (streptavidine-biotine) ; (d) analyse de la résistances en fonction de différentes concentrations de molécule de biotine [43].

## 2.4.2 Élaboration des nanofils

Il existe principalement deux approches pour fabriquer les nanofils. La première consiste à utiliser les techniques de lithographie et de gravure classiques pour structurer des nanofils dans un substrat. Elle est connue sous le nom de « Top-down ». L'autre approche porte le nom de « Bottom-up » consiste à faire croître des nanofils d'un matériau ayant les propriétés nécessaires au composant final.

### A- Approche descendante ou « Top-down »

L'évolution des techniques de lithographie et de gravure dans la microélectronique d'aujourd'hui a permis l'élaboration des structures à l'échelle nanométrique. De cette manière, il sera possible de réaliser différentes architectures de nanofils (verticaux [44] ou horizontaux

[45]). Le procédé commence par étaler la résine afin de définir les motifs à travers une lithographie optique, ou électronique. Ensuite, le matériau massif constituant les nanofils est gravé par plasma avant le retrait de la résine. Le contrôle et la reproductibilité des dispositifs du point de vue dimensionnel est un critère qui caractérise cette technique. Bien que cette méthode soit largement utilisée, elle n'est pas adaptée pour une intégration dans le BEOL. Cette approche descendante nécessite un matériau cristallin de départ à structurer (comme le silicium, germanium et les matériaux III-V). Ceci ne peut pas exister lors d'une intégration 3D monolithique qui doit être établie sur un substrat amorphe. D'ailleurs, la nécessité d'élaborer des matériaux cristallins dans le BEOL reste toujours une priorité, ce qui nous amène à chercher la méthode qui offre la possibilité de synthétiser des nanofils semi-conducteurs cristallins à basse température.

## **B- Approche ascendante ou « Bottom-up »**

Cette approche consiste à élaborer les nanofils à la suite de l'injection des gaz précurseurs, tout en utilisant des catalyseurs au départ. Généralement, la croissance des nanofils se déroulera dans un bâti de croissance de type « *Chemical Vapor Deposition* » comportant plusieurs lignes de gaz indépendantes. Le mécanisme de croissance VLS (Vapor-liquid-solid) est la technique employée pour synthétiser des nanofils.

Ce mécanisme de croissance, ainsi que les catalyseurs impliqués seront détaillés dans le chapitre trois. Le défi de cette approche réside dans la capacité à contrôler la croissance et le positionnement des nanofils pour fabriquer les différents composants nanoélectroniques, (tel que les transistors MOS planaires ou verticales). Il faut ainsi distinguer que pour la croissance horizontale des nanofils via cette approche, deux techniques de positionnement différentes seront utilisées dans notre projet de recherche : la première est une technique de croissance directe des nanofils entre les électrodes où les échantillons sont déposés dans un bâti de CVD. La deuxième sera plutôt celle d'orienter les nanofils entre des électrodes prédéfinies suite à l'application d'un champ électrique. Les nanofils seront dans ce cas élaborés de manière verticale sur un substrat en silicium, puis dispersés dans une solution liquide avant d'être positionner.

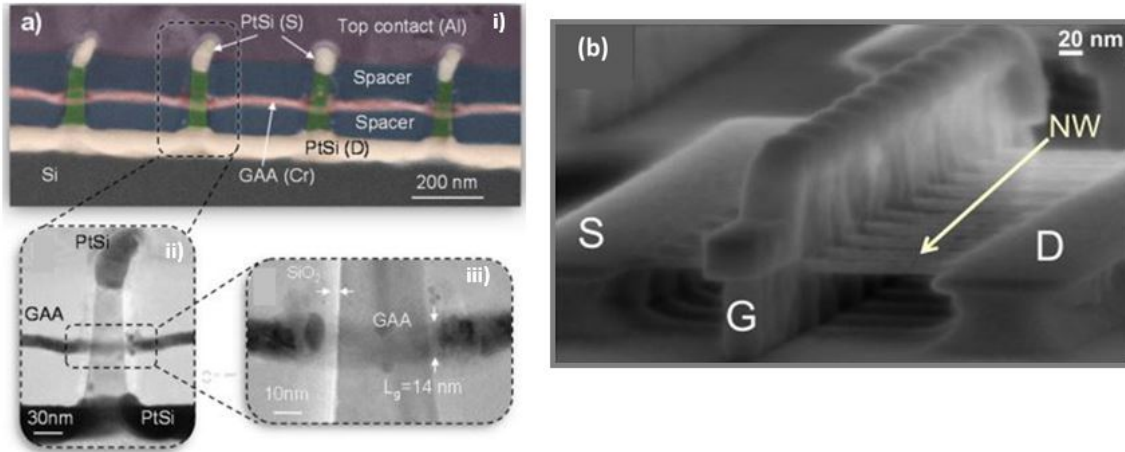


Figure 2.13: a) Images TEM du transistor à plusieurs nanofils silicium verticaux fabriqués par une approche descendante. (i) vue en coupe de la grille enrobante, des contacts S/D symétriques en (PtSi) et une couche de 60 nm de diélectrique faible permittivité  $k$  (2.7). (ii) Zoom sur les couches déposées sur le nanofil et (iii) zoom sur la région de la grille enrobante ayant pour longueur 14 nm avec un oxyde de grille  $\text{SiO}_2$  de 5 nm d'épaisseur [44]. b) Image SEM du transistor à plusieurs nanofils silicium horizontaux fabriqués par une approche descendante, ayant une grille enrobante de 15 nm de longueur [45].

Ce mécanisme de croissance, ainsi que les catalyseurs impliqués seront détaillés dans le chapitre trois. Le défi de cette approche réside dans la capacité à contrôler la croissance et le positionnement des nanofils pour fabriquer les différents composants nanoélectroniques, (tel que les transistors MOS planaires ou verticales).

Différentes équipes de recherche ont conçu des transistors à base de nanofils à l'aide d'une approche ascendante. Les premiers travaux de Cui *et al.* [47] ont démontré la faisabilité d'impliquer les nanofils horizontaux dans la conception des dispositifs MOS. Leur méthode a été basée sur la dispersion des nanofils de silicium (10 à 20 nm de diamètre) par sonication, qui précède leur transfert sur un substrat en silicium couvert par 600 nm d'oxyde [figure 2.14 (a)]. Les extrémités des nanofils étudiés ont été contactées par du titane à l'aide d'une lithographie. On peut aussi mentionner les travaux de Chung *et al.* [48] qui ont adressé des nanofils horizontaux synthétisés par VLS sur un substrat avec une grille définie au-dessus du nanofil [figure 2.14 (b)]. Tous ces travaux ont constitué le début d'une nouvelle période pour intégrer les nanofils dans la fabrication des composants. La localisation et l'intégration des nanofils dans des composants électroniques reste toujours un des grands challenges à contourner.

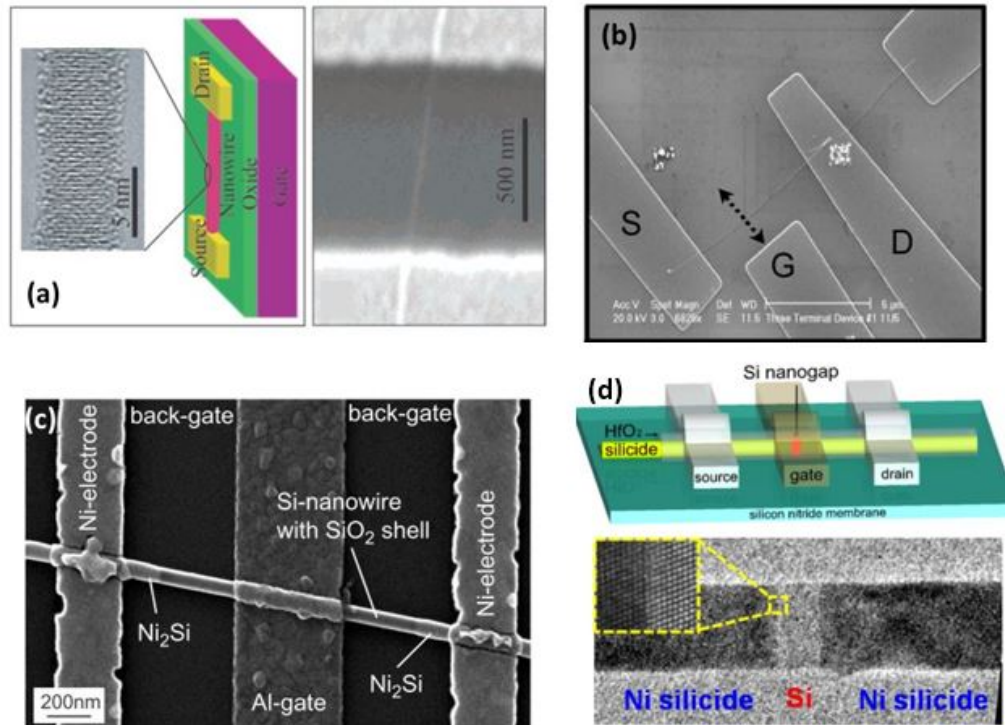


Figure 2.14 : Transistor à base des nanofils horizontaux fabriqués suite à une approche ascendante (mécanisme VLS) : (a) Travaux de Cui *et al.*[47], (b) Travaux de Chung *et al.*[48], (c) Travaux de Appellenzer *et al.*[49], (d) Travaux de Tang *et al.*[50].

Après l'intégration des nanofils et afin d'améliorer les performances des transistors, Appenzeller *et al.*[49] ont examiné l'impact de la siliciuration des contacts. Ils ont étudié la cinétique de la formation de siliciure en fonction du diamètre des nanofils [figure 2.14 (c)]. Récemment, une équipe à l'université de Californie [50] a fabriqué un transistor à base de nanofil de silicium horizontal ayant une longueur de grille de 17 nm présentant des propriétés électriques optimisées suite à la maîtrise du mécanisme de siliciuration du nickel sur les nanofils [figure 2.14 (d)].

Parmi les dispositifs MOS réalisés avec des nanofils verticaux à travers une approche ascendante, on peut citer le travail de Rosaz *et al.* [51] [52] qui ont réalisé des transistors verticaux avec des nanofils en silicium et silicium-germanium [figure 2.15 (a) et (b)]. Avec des nanofils de silicium ayant un diamètre de 20 à 30 nm et une longueur de 1  $\mu\text{m}$ , Goldberger *et al.*[53] ont fabriqué des transistors MOS avec des bonnes propriétés électriques, par rapport à ceux qui existent dans l'état de l'art (pente sous seuil (SS) égale à 120 mV/dec,  $I_{\text{on}}/I_{\text{off}}$  entre  $10^4$  et  $10^6$ ) [figure 2.15 (c)].

Quel que soit le type d'architecture des transistors réalisés, l'approche ascendante présente l'avantage d'élaborer des nanofils de haute qualité cristalline, sans avoir recours à l'emploi du germe cristallin. Cette caractéristique se trouve primordiale dans une intégration 3D au niveau des couches supérieures, où la reprise de la croissance épitaxiale n'est pas applicable. Ajoutons que l'aspect monocristallin des nanofils synthétisés par VLS est aussi important pour la fabrication des transistors avec de bonnes performances électriques (consommation, vitesse). En fonction des catalyseurs utilisés, cette approche offre aussi la possibilité d'élaborer les nanofils à une température eutectique inférieure au budget thermique imposé lors d'une intégration 3D monolithique. Cette faible température permet d'éviter la dégradation des transistors FEOL, ce qui permet par la suite de préserver les propriétés électriques de ces derniers. Par suite de cette approche, la localisation et les dimensions des nanofils seront déterminées par l'emplacement et les diamètres des catalyseurs. De nombreux procédés permettent un bon positionnement de ces particules catalytiques afin de pouvoir orienter les nanofils de manière à respecter l'alignement entre les électrodes (grille, source, drain) dans un transistor.

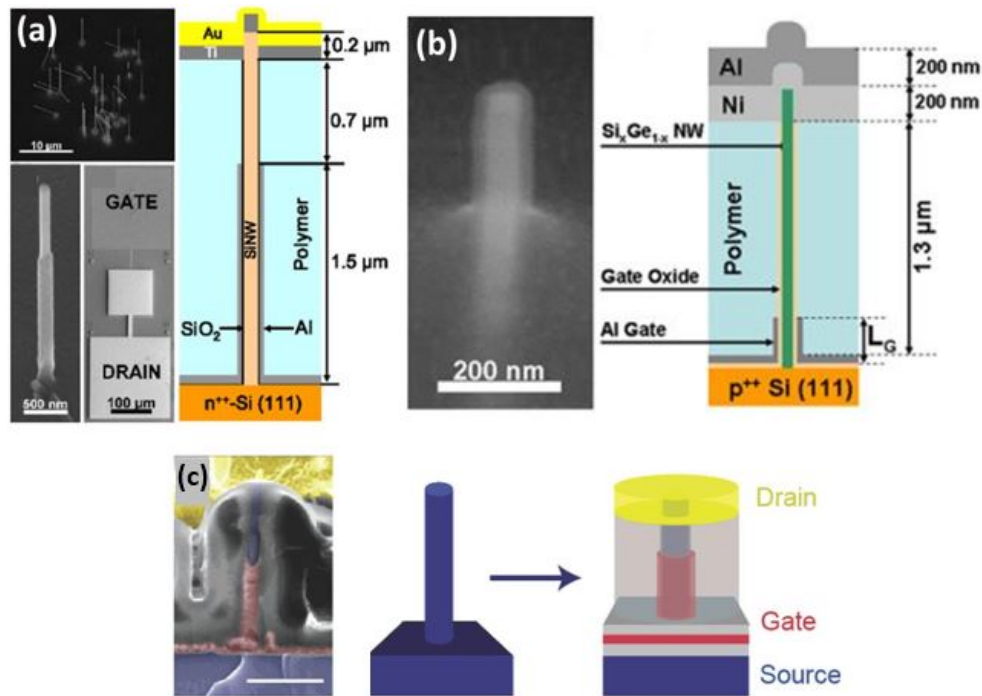


Figure 2.15 : Transistor à base des nanofils verticaux fabriqués suite à une approche ascendante (mécanisme VLS) : (a) Travaux de Rosaz *et al.*[51], (b) Travaux de Rosaz *et al.*[52], (c) Travaux de Goldberger *et al.*[53].

### 2.4.3 Choix de l'alliage $\text{Si}_x\text{Ge}_{1-x}$

Nous allons au cours de cette thèse utiliser des nanofils à base de silicium-germanium ( $\text{Si}_x\text{Ge}_{1-x}$ ). L'idée derrière ce choix d'alliage SiGe réside dans les caractéristiques électroniques du germanium et les propriétés chimiques du silicium. Une structure cristalline de type diamant caractérise ces deux matériaux, dont leur maille élémentaire est dérivée d'une structure cubique face centrée comme le montre la figure 2.16. Les différents paramètres de mailles entre le silicium ( $5.4310\text{\AA}$ ) et le germanium ( $5.6575\text{\AA}$ ) créent un désaccord d'une valeur de 4.2%. Ce désaccord de maille entre Ge, Si et SiGe permet le contrôle et la modification des largeurs de bandes interdites, ainsi que les mobilités des porteurs et les masses effectives dans différentes couches. De plus, ces deux matériaux sont parfaitement miscibles ce qui permet d'envisager toutes les compositions d'un alliage SiGe. Cependant, la différence de paramètres de maille peut déformer le cristal et entraîner la création des dislocations. Pour les nanofils, leur faible taille et volume permet de s'affranchir de ces dislocations, qui peuvent intervenir entre deux matériaux à désaccord de maille relativement important [54].

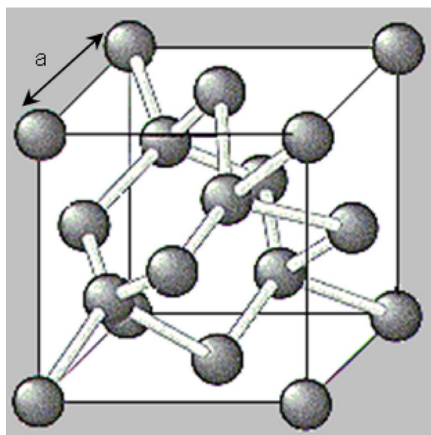


Figure 2.16 : Maille élémentaire de la structure de diamant, avec  $a$  le paramètre de maille.

Les largeurs de bandes interdites de silicium et de germanium sont 1.1 eV et 0.66 eV respectivement. La largeur de la bande interdite du SiGe en fonction de la fraction atomique du silicium à 296 K est représentée dans la figure 2.17 [55].

Récemment, le SiGe a été largement utilisé dans les technologies « métal-oxyde-semiconducteur » (MOS) [56]. Cela a été rendu possible grâce au développement de nouvelles

techniques de croissance, telles que l'épithaxie par faisceau moléculaire (MBE), et le dépôt chimique en phase vapeur à basse pression (LPCVD). La principale caractéristique de ces techniques qui ont conduit au développement de transistors à base du SiGe est la croissance de couches épithaxiales à basse température (500-700 ° C). Cela permet donc, à terme, de faire croître des couches de SiGe sans perturber les profils de dopage des structures déjà présentes dans le silicium. La principale propriété de SiGe, intéressante pour les transistors, réside dans sa bande interdite inférieure à celle du silicium. Il est également possible de moduler la valeur de la bande interdite du SiGe en modulant sa teneur en germanium. Ces concepts d'ingénierie de bande interdite ont introduit de nouveaux degrés de liberté dans la fabrication des transistors. Toutes ces qualités ont fait du SiGe un candidat du choix pour la réalisation de dispositifs électroniques aux performances électriques accrues.

Dans les transistors à effet de champ MOS (MOSFETs), la couche SiGe est incorporée dans le canal pour améliorer les valeurs de mobilité. Initialement, des couches de SiGe contraintes sur des substrats de silicium ont été utilisées pour améliorer la mobilité des trous dans les transistors à canal p [57]. Ajoutons que la synthèse des nanofils SiGe par CVD-VLS peut être effectuée à des températures inférieures au budget thermique. Cette synthèse sera alors motivée par les perspectives intéressantes d'ajouter aux nombreuses applications propres aux matériaux SiGe, les utilisations très diversifiées des structures nanofils.

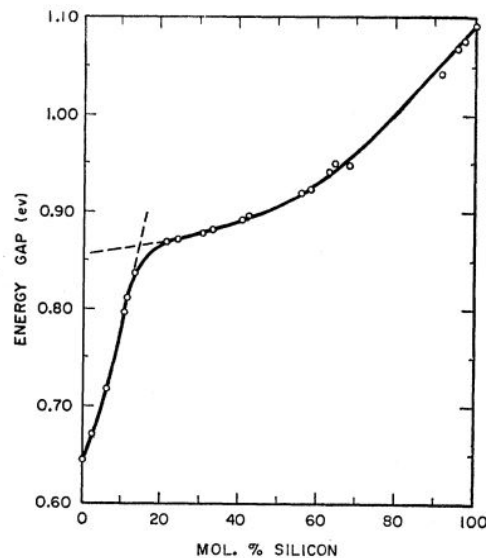


Figure 2.17 : Largeur de bande interdite du SiGe en fonction de la fraction atomique du silicium à 296 K [55].



## 2.5 Transistors à nanofils : Le SB-FET (Schottky barrier field-effect transistor)

L'avantage principal des transistors à nanofils repose sur la possibilité de les fabriquer avec des étapes qui respectent le budget thermique ( $< 500^{\circ}\text{C}$ ), sans risquer de dégrader les dispositifs du FEOL. Une barrière Schottky au niveau des contacts de source et de drain va ainsi remplacer la jonction p-n utilisée dans un transistor MOS traditionnel, d'où le nom SB-FET. Ce type de transistor est considéré comme un parfait candidat pour des applications de faible consommation, grâce à des faibles courants de fuite quand aucune polarisation est appliquée. Nous allons ensuite présenter le principe de fonctionnement des transistors à nanofils (SB-FET), en détaillant entre autres les mécanismes physiques qui régissent la circulation des porteurs de charges.

### 2.5.1 Mode de fonctionnement d'un transistor à nanofils (SB-FET) : Principe et Mécanisme

La figure 2.18 montre l'exemple d'un diagramme de bande d'énergie d'une jonction Schottky idéale, qui se produit lors d'un contact entre un métal et un semi-conducteur de type n. Par ce qui suit, nous allons présenter les bases du phénomène de transport du courant pour ce type de contact. À la suite de la mise en contact d'un métal avec un semi-conducteur, un alignement des niveaux de Fermi aura lieu une fois que l'équilibre thermodynamique est atteint, induisant ainsi un transfert de charges entre les deux matériaux. Une courbure des bandes de valence et de conduction du semi-conducteur apparaîtra alors à l'interface.

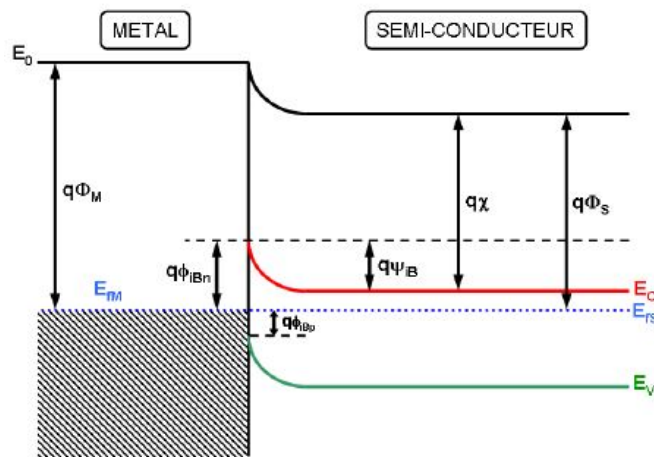


Figure 2.18 : Schéma d'un contact Schottky idéal métal/semi-conducteur pour un semi-conducteur de type n.



À température ambiante, une jonction Schottky idéale a un comportement redresseur dû à la nature dissymétrique de l'émission de porteurs majoritaires au-delà de la hauteur de barrière entre le semi-conducteur et le métal. Ce type de transport est dominé par l'émission thermo-ionique (TE) qui représente un transport au-dessus de la barrière.

Dans ce cas le potentiel chute à l'interface et la résistance résiduelle est due aux électrons ayant suffisamment d'énergie pour surmonter la barrière. Plus la hauteur de barrière et la courbure de bandes sont importantes, l'émission thermo-ionique sera responsable du transport de charge. Cette émission consiste alors en un passage des porteurs électriques par-dessus la barrière d'énergie grâce à la température ou bien à une polarisation externe.

En plus de cette émission thermo-ionique s'ajoute une émission du champ ou effet tunnel (FE) qui est un phénomène quantique. Cet effet domine le transport des charges dans des conditions de basse température ou de fort dopage du semi-conducteur. Ce mécanisme permet le franchissement de la barrière par les porteurs et induit ainsi une caractéristique courant-tension linéaire. C'est le mécanisme de conduction principal pour un contact ohmique. Cela peut être expliqué par le fait que la zone de charge d'espace est mince lorsque le nanofils est fortement dopé, qui, en conséquence facilite le transfert des charges à travers la barrière Schottky à l'interface métal/semiconducteur, ce qui minimise la résistance aux contacts. On pourra également réaliser des contacts ohmiques en changeant le métal et réduisant la hauteur de la barrière.

L'émission thermo-ionique assistée par champ (TFE) est un troisième phénomène qui marque aussi le transport de charges dans un contact Schottky. En effet, si la température est suffisamment importante pour que les charges traversent la barrière par effet tunnel proche de son sommet, mais qu'elle est trop faible pour les émettre au-delà du sommet, on parle alors d'émission thermo-ionique assistée par champ. Tous ces mécanismes de transport sont représentés dans la figure 2.19. La contribution de chacun de ces mécanismes peut être grossièrement estimée en comparant l'énergie thermique  $kT$  à  $E_{00}$  définie dans l'équation 2.1 :

$$E_{00} = \frac{q \cdot \hbar}{2} \sqrt{\left(\frac{N}{\epsilon \cdot m}\right)} \quad (\text{Eq. 2.1})$$

Avec  $q$  la charge élémentaire,  $\hbar$  la constante relative de Planck,  $N$  le niveau de dopage du semi-conducteur,  $m$  la masse relative des porteurs et  $\epsilon$  la permittivité du semi-conducteur.

Si  $kT \gg E_{00}$  l'émission thermoionique domine sans effet tunnel. Si  $kT \ll E_{00}$  l'émission de champ domine. Enfin quand  $kT \sim E_{00}$  l'émission thermo-ionique assistée par champ est le mécanisme de transport principal.

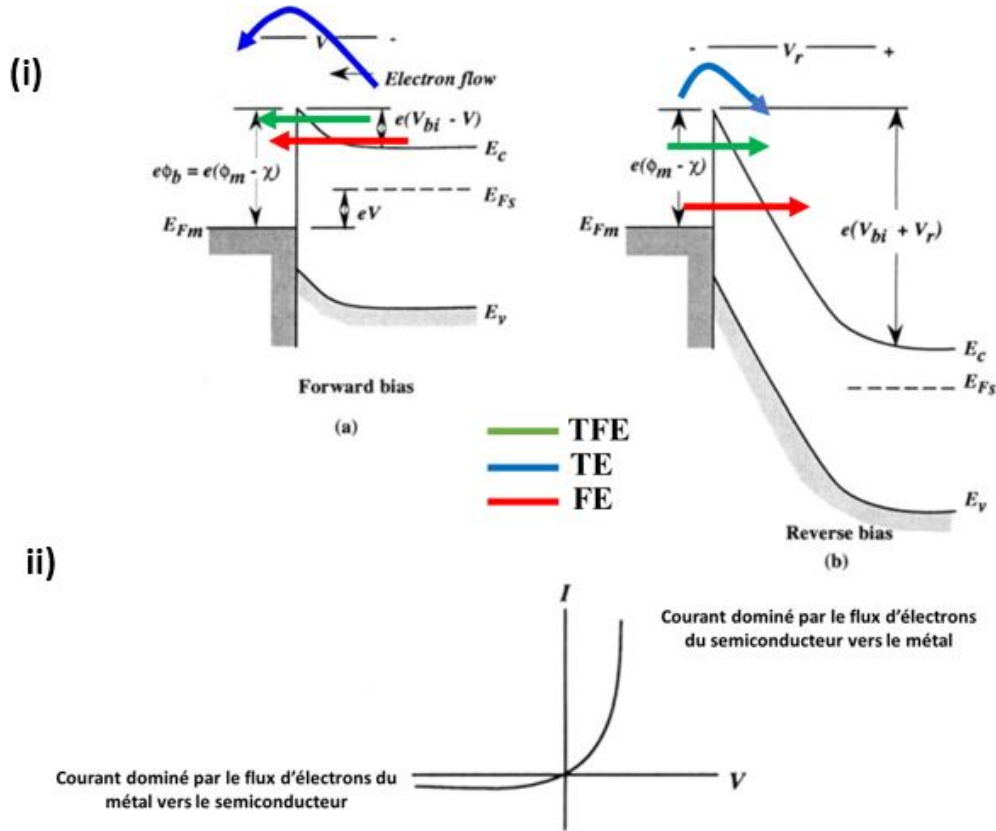


Figure 2.19: i) Schéma descriptif illustrant les mécanismes de transport au niveau de la barrière Schottky lors d'un contact entre un métal et un SC de type n : a) en polarisation directe b) en polarisation inverse. TFE = émission thermo-ionique assistée par champ, TE = émission thermo-ionique et FE = émission du champ ou tunnel. ii) Schéma de la nature du courant dominant à la suite d'une polarisation électrique d'un contact M/S.

Le transistor à nanofils est un transistor SB-FET qui vise les applications à basse consommation. Sa structure se caractérise par la nature des contacts (source/drain), qui utilise une barrière Schottky au lieu d'une jonction p-n pour le MOSFET. L'absence des étapes de recuits d'activation et d'implantation ioniques à hautes températures le positionne comme étant un bon candidat pour des applications en 3D. Ajoutons que son faible courant à l'état bloqué permet son utilisation dans des applications à consommation réduite.

En outre, ce transistor reste bloqué et très peu de pertes sont mesurées entre la source et le drain, quand aucune polarisation n'est appliquée. Les figures 2.20 (b-d) montrent le principe de son fonctionnement. Pour  $V_G = V_D = 0$  (équilibre thermodynamique), la hauteur de la barrière des trous pour un substrat p est de  $q\phi_{Bp}$ . Lorsque la tension de grille dépasse celle du seuil, une inversion de type de charge aura lieu à la surface (de type p à n) et la hauteur de la barrière entre la source et la couche d'inversion (électrons) sera  $q\phi_{Bn}$ . Ajoutons que la source sera polarisée en inverse dans les conditions de fonctionnement (figure 2.20 d).

Même si le courant à l'état bloqué du transistor reste réduit grâce à la hauteur de la barrière formée, un des inconvénients majeurs de ce transistor réside dans les résistances d'accès qui perturbent fortement le courant à l'état passant. La grille doit aussi recouvrir les siliciures pour garantir un fonctionnement idéal de la mise au potentiel d'inversion de tout le canal.

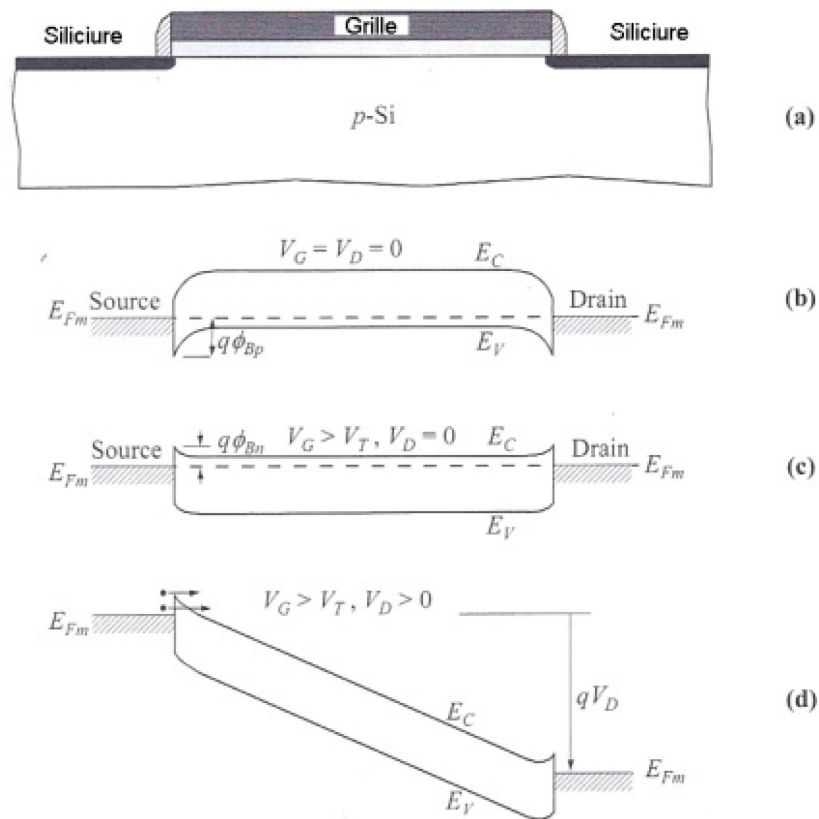


Figure 2.20 : Principe de fonctionnement d'un transistor SB-FET a) Vue en coupe du dispositif b)-d) Diagramme de bande sous différentes tensions de drain et de grille [58].

Après la présentation du modèle électrique qui se produira dans un transistor à nanofils, nous allons par la suite exposer les différentes techniques pour localiser ces derniers à l'intérieur des composants électriques.

## **2.5.2 Croissance contrôlée des nanofils par CVD-VLS**

### **A- Assemblage dirigé sur substrat cristallin :**

A l'heure actuelle, il existe deux approches distinctes qui permettent de réaliser un alignement horizontal des nanofils, dont l'objectif final sera de les utiliser comme canaux de conduction pour fabriquer des transistors SB-FETs. La première consiste à utiliser des forces sans contact ainsi que d'autres processus de séparation telle que la diélectrophorèse (DEP). Pour la seconde approche, c'est un processus qui consiste à utiliser le mécanisme de croissance « Vapor -liquid-solid » (VLS) directement sur le substrat afin de faire croître les nanofils entre des électrodes prédéfinies. Dans ce qui suit, nous détaillerons ces deux approches.

Différentes équipes de recherches ont utilisé cette approche pour fabriquer des transistors à base de nanofils horizontaux. Dans ce paragraphe, nous allons présenter quelques procédés, qui montrent la possibilité de localiser la position des catalyseurs pour guider la croissance horizontale des nanofils.

Différentes équipes de recherches ont utilisé cette approche pour fabriquer des transistors à base de nanofils. Il faut ainsi mentionner que les travaux d'intégration des MOSFETs sur des nanofils verticaux sont moins répandus que ceux proposés avec une intégration horizontale. L'intégration horizontale présente de nombreux avantages comparée à celle d'une intégration verticale, notamment dans la possibilité de contrôler le nombre des canaux à nanofils formant le transistor. Un autre atout de l'intégration horizontale réside dans la possibilité de réduire la surface occupée des transistors, ce qui permet d'augmenter le nombre de transistors fabriqués. Dans ce paragraphe, nous allons présenter quelques procédés, qui montrent la possibilité de localiser les catalyseurs pour guider la croissance horizontale des nanofils.

J.Y Oh *et al.* ont développé un procédé pour organiser directement la croissance horizontale des nanofils entre deux plots verticaux de silicium [34]. La première étape de ce procédé requiert une gravure des tranchées dans une plaquette de silicium. Ensuite, une nanoparticule d'or est déposée par évaporation sur les parois verticales orientées [111] sous un angle de 45°. Les nanofils croîtront alors d'une manière perpendiculaire à ces parois. Cette croissance est basée sur un phénomène d'épitaxie à partir des parois cristallines, où un nanofil vient connecter l'autre bout de la tranchée pour former une sorte de pont entre les deux parois de silicium comme le montre la figure 2.21 (b). Ces parois verticales favorisent la croissance horizontale. À la suite de ce procédé de fabrication, un seul nanofil a franchi la distance entre la paire d'électrodes, sans avoir recours à des traitements supplémentaires. Une grille métallique et des électrodes en platine ont permis à la fin de réaliser un transistor FET avec une grille enrobante (GAA-FET). Les mesures électriques ont montré un comportement typique d'un transistor MOSFET à canal P comme le présente la figure 2.21 (c et d). Bien qu'avec ce procédé, une intégration horizontale des nanofils a été établie, cette dernière reste inadaptée pour des applications dans le BEOL. En effet, cette croissance des nanofils nécessite des parois verticales en silicium cristallin comme point de départ pour la croissance VLS. Ceci constitue un frein à son utilisation dans les couches supérieures de la puce CMOS, où un substrat de silicium amorphe reste la référence pour ce type d'intégration.

L. Yu *et al.* ont décrit une autre approche pour établir des nanofils horizontaux bien alignés, afin de les utiliser comme des canaux pour fabriquer des transistors FET avec une grille face arrière [59]. Son principe est basé sur le mécanisme de croissance Solid-Liquid-Solid (SLS), où une couche mince de Si amorphe hydrogéné (a-Si : H) est absorbée par des nanoparticules d'indium, jouant le rôle du catalyseur. Ces nanoparticules se déplacent tout au long de la surface du substrat, pour produire des nanofils de silicium cristallin. La force de traînée de ces nanofils provient de la différence dans l'énergie de Gibbs entre le silicium amorphe hydrogéné (a-Si: H) et le silicium cristallin [60]. Une propriété intéressante de cette méthode de croissance réside dans le mouvement des catalyseurs qui peuvent être guidés à travers des caractéristiques de surface (un bord). Cela permet de déterminer la position et le chemin de la croissance des nanofils et offre une opportunité pour les positionner dans une trajectoire pendant leur croissance.

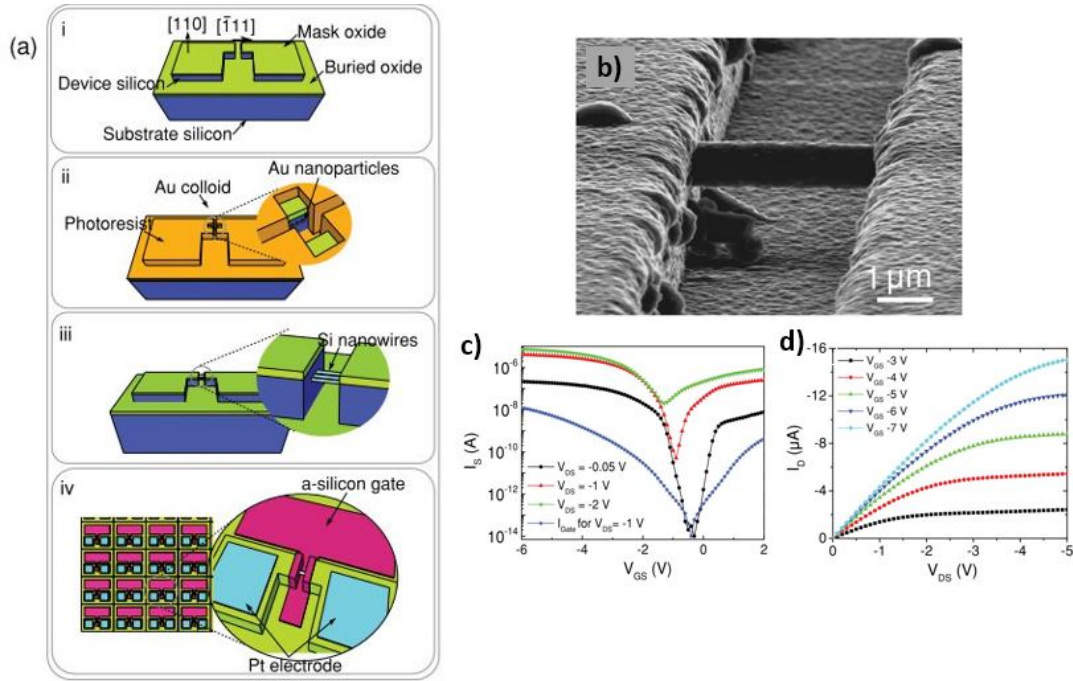


Figure 2.21 : Croissance horizontale confinée des nanofils ; (a) Schéma de procédé d'intégration des nanofils pour réaliser des transistors : i) Fabrication de motifs d'électrodes Si, ii) Déposition des colloïdes d'or, iii) Croissance des nanofils de silicium, vi) Réalisation d'électrodes de Pt pour fabriquer un FET (b) Image SEM d'un seul nanofils cru entre les électrodes. (c) Courant mesurer ( $I_s$ ) en fonction de la tension de grille ( $V_{GS}$ ) pour trois valeurs distinctes de tensions de drain ( $V_{DS}$ ). (d) Caractéristiques électriques ( $I_D$ - $V_{DS}$ ), collectées pour le transistor GAA-FET avec un canal de 3 μm de long et 120 nm d'épaisseur [34].

La figure 2.22 illustre les différentes étapes de ce procédé ainsi que les résultats de la croissance des nanofils et les propriétés électriques des transistors avec une grille arrière. Au-delà de la croissance confinée des nanofils, nous avons constaté que toutes ces techniques nécessitent un substrat cristallin pour établir une croissance horizontale. Cependant, il existe beaucoup d'autres procédés qui offrent aussi la possibilité de croître une variété des nanofils horizontaux sur un substrat cristallin [61][62][63][64]. Bien que tous ces derniers se trouvent prometteurs au niveau du contrôle de la croissance horizontale confinée, ils restent pourtant inappropriés à notre projet. Ces procédés requièrent toujours un substrat cristallin au départ, ce qui les rend incompatibles avec l'intégration 3D monolithique. En effet, l'incorporation des nanofils dans une structure 3D monolithique doit se faire sur une couche amorphe d'un diélectrique rendant le contrôle d'une croissance horizontale plus dur à obtenir.

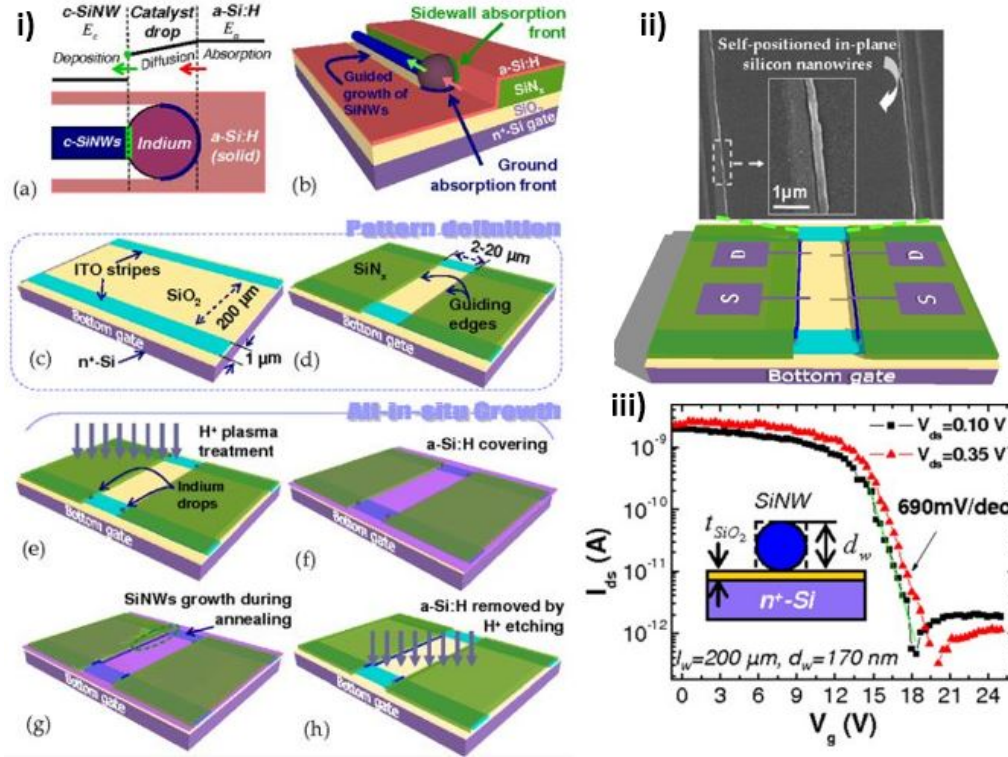


Figure 2.22: (i) Illustration schématique du mécanisme de croissance SLS, avec la formation d'un nouveau front d'absorption (ligne verte) sur la paroi latérale ainsi que le procédé de fabrication pour une croissance guidée des nanofils. (ii) Images SEM et illustration de la croissance guidée et alignée des nanofils le long des bords, ainsi que la configuration du transistor FET à grille arrière. (iii) Propriétés électriques du transistor, avec une illustration de sa structure [60].

## B- Assemblage dirigé sur substrat amorphe :

Les travaux de la croissance des nanofils horizontaux directement sur un substrat amorphe sont beaucoup moins nombreux. A l'heure actuelle quelques équipes ont pu élaborer des nanofils horizontaux sur un substrat amorphe. Dans leur étude, B. Salem *et al.* ont montré la possibilité de croître des nanofils horizontaux situés entre deux électrodes amorphes, afin de réaliser un transistor à effet de champs (FET) [65] (figure 2.23).

La croissance des nanofils de silicium a eu lieu sur une couche d'oxyde ( $SiO_2$ ) de 20 nm d'épaisseur à travers un dépôt chimique en phase vapeur (CVD) en utilisant le mécanisme VLS. Une première couche d'or a été utilisée en tant que catalyseur, alors qu'une autre couche d'aluminium déposée au-dessus a servi du contact. Les mesures électriques du transistor FET à canal nanofil ont montré un comportement de type P avec un rapport de courant  $I_{on}/I_{off}$  allant jusqu'à  $10^3$ .

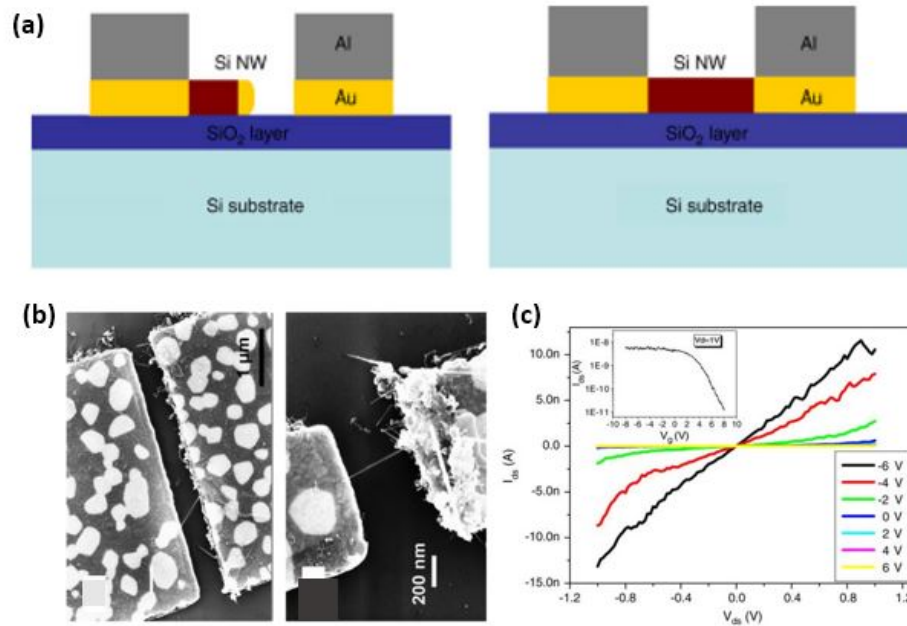


Figure 2.23 : (a) (b) Illustration schématique et image SEM de la croissance directe des nanofils du silicium entre deux électrodes prédéfinies sur une couche d'oxyde. (c) Caractéristiques électriques ( $I_D$ - $V_{DS}$ ) et ( $I_D$ - $V_G$ ), collectées pour le transistor à nanofils du silicium fabriqué [65].

La figure 2.23 illustre cette croissance des nanofils de silicium, synthétisés entre les électrodes prédéfinies, ainsi que les propriétés électriques du transistor. Ce procédé simplifie clairement les procédures de croissance. Il offre encore la possibilité de caractériser électriquement les propriétés électriques directement sans avoir recours à des étapes supplémentaires pour réaliser les plots de contacts S/D. Cependant cette technique manque de précision et de contrôlabilité, surtout en termes du nombre et de la connexion des nanofils.

Les études menées par A. Lecestre *et al.* [66][67], ont montré la possibilité d'obtenir des nanorubans en silicium en fonction des différents paramètres tel que : les dimensions du catalyseur d'or ainsi que celles de la cavité. Cette corrélation de la longueur de la couche d'or déposée avec les dimensions de la cavité a permis la croissance confinée d'un seul nanofil dans une cavité de 200 nm de largeur [figure 2.24 (a et b)]. Malgré ce guidage du nanofil, ce processus s'avère être long, surtout que des étapes supplémentaires sont indispensables pour réaliser les contacts (S/D) et la fabrication des transistors par la suite.



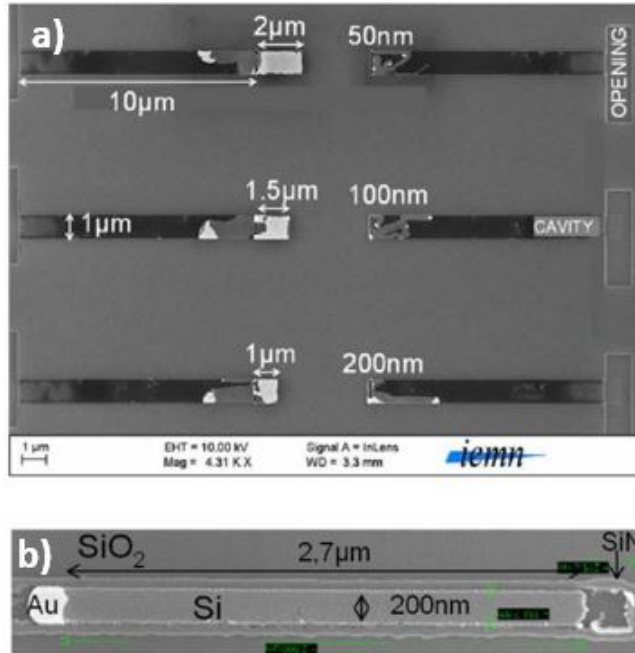


Figure 2.24 : (a) Image SEM (vue de dessus) des cavités après la croissance de VLS (500° C, 5% SiH<sub>4</sub>, 100 sccm, 30 min). (b) Image SEM d'un seul nanofil de silicium cru par VLS à l'intérieur d'une cavité, après la gravure des parois de la cavité [66].

Dans cette partie, nous avons présenté quelques travaux de fabrication des transistors à partir de la croissance des nanofils élaborés par VLS. Dans ce qui suit, nous montrerons aussi d'autres techniques de positionnement et d'orientation des nanofils horizontaux pour obtenir des transistors FET.

### 2.5.3 Localisation et assemblage dirigé des nanofils

En plus des types d'assemblage présenté précédemment, il existe autres outils qui permettent de manipuler ces nanostructures afin de les intégrer dans des dispositifs fonctionnels. Ces méthodes reposent sur différents phénomènes physiques. On peut citer l'assemblage par les pièges optiques [68], par interactions chimique et électrostatique [69], par force de cisaillement ou « printing contact » [70], par force micro fluide ou capillaire, ou ceux qui sont assistés par champ électrique, la diélectrophorèse (DEP). Néanmoins, la technique de diélectrophorèse se distingue de toutes les autres méthodes par sa facilité à accomplir un alignement des nanofils uniques, avec un positionnement précis [71], sans avoir recours à des procédés de fabrication complexes [72] ni à l'utilisation des autres outils plus coûteux (comme la lithographie par

faisceaux d'électrons). Dans cette partie, nous allons nous concentrer sur l'état de l'art de la technique de diélectrophorèse, vue que cette dernière sera celle qui sera employée dans ce projet de thèse.

La DEP repose sur le principe d'appliquer un champ électrique non uniforme sur des particules en suspension dans un milieu liquide. Les particules dispersées dans la solution vont être attirées aux sites d'assemblage (généralement des électrodes) grâce à cette force diélectrophorétique qui surpasse d'autres forces électrocinétiques tel que l'électroosmose (ACEO) et l'électrothermie (ETE) [73]. Ces dernières peuvent aussi exister à l'issue de l'établissement de ce champ électrique. Ce phénomène physique sera présenté en détail dans le chapitre quatre.

Différentes équipes de recherche ont prouvé la capacité de cette technique de DEP pour adresser de manière horizontale des nanofils ayant une composition et dimensions différentes. On peut citer les travaux de Freer *et al.* [74] sur des nanofils de silicium de 18  $\mu\text{m}$  de long, ainsi que les travaux de Raychaudhuri *et al.* [75] sur des nanofils en arséniure d'indium (InAs) de 20  $\mu\text{m}$  de long et ceux de Wang *et al.* sur des nanofils d'oxyde de zinc (ZnO) [76].

Des nouvelles techniques sont à l'heure actuelle adoptées afin d'augmenter la précision de l'alignement des nanofils. Ces techniques favorisent le couplage entre la DEP et d'autres méthodes comme l'assemblage capillaire par exemple. Cette combinaison contribue à un rendement plus élevé des nanofils déposés au-dessus des sites d'alignements. Les travaux de M. Collet *et al.* [77] ont décrit une méthode de couplage à l'échelle d'un wafer entier comme illustré dans la figure 2.25. Son travail consistait en premier lieu à piéger les nanofils à des endroits précis à travers la diélectrophorèse assurée par des électrodes enterrées. L'étape de l'assemblage capillaire permet le transport des nanofils dans le rayon des pièges au moment de l'évaporation. Les résultats ont montré un grand nombre des nanofils bien situés au milieu des deux électrodes. Ce montage d'alignement a été réalisé avec des nanofils de silicium et d'arséniure d'indium, qui ont offert un rendement d'alignement proche de 80% et 83% respectivement.

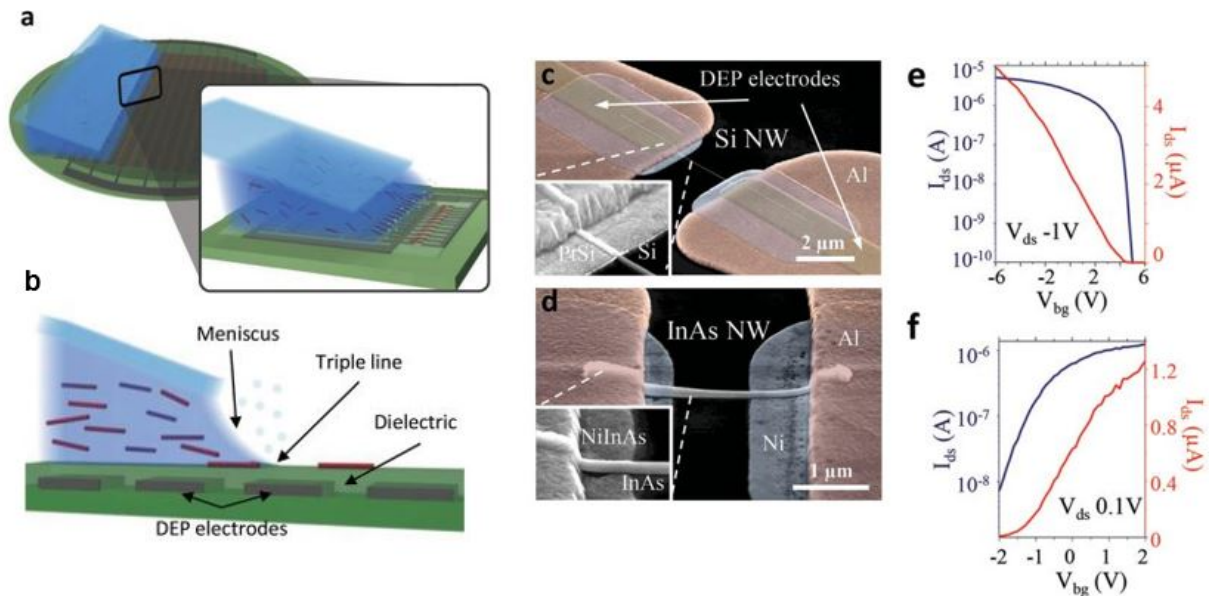


Figure 2.25 : (a) Principe de l'assemblage capillaire couplée avec la DEP. (b) Positionnement des nanofils réalisé entre les électrodes prédéfinies. Image SEM des transistors à nanofils FET après positionnement des nanofils (c) silicium et reprise de contact PtSi des S/D ; (d) InAs et reprise de contact NiInAs des S/D. Caractéristiques de transfert  $I_{ds} - V_g$  pour e) Si p-FET avec  $V_{ds} = -2V$  et f) InAs n-FET avec  $V_{ds} = 0.1V$  [77].

L'équipe de M. Constantinou *et al.* [78] a réalisé un procédé qui permet à la fois la sélection directe, le piégeage et l'assemblage ordonné des nanofils de silicium (ayant des propriétés électriques spécifiques) à partir d'un ensemble de nanofils. Leur méthode consiste à associer la diélectrophorèse (DEP) à la spectroscopie de l'impédance, ce qui fournit un mécanisme de sélection à des fréquences de signal élevées ( $> 500$  kHz). L'objectif sera ensuite de détecter et isoler les nanofils ayant une haute conductivité et une faible densité de défauts. Cinq paramètres clés permettent de contrôler l'assemblage des nanofils à l'issue de cette technique : 1) la sélection des propriétés électriques, 2) le contrôle de la longueur des nanofils, 3) l'attraction vers les zones d'électrodes prédéfinies, 4) l'orientation préférentielle le long du canal et 5) le contrôle de la densité de dépôt des nanofils (pouvant atteindre quelques centaines dans le dispositif). Cette corrélation directe entre la fréquence du signal DEP et la conductivité des nanofils a été confirmée par la fabrication d'un transistor MOSFET et validée par des analyses AFM. Les transistors à nanofils fabriqués à partir de cette technique ont présenté des performances électriques optimisées avec un courant allant jusqu'à 1,6 mA, un rapport  $I_{on}/I_{off}$  de  $10^6$ - $10^7$  et une mobilité des trous de  $50 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ .

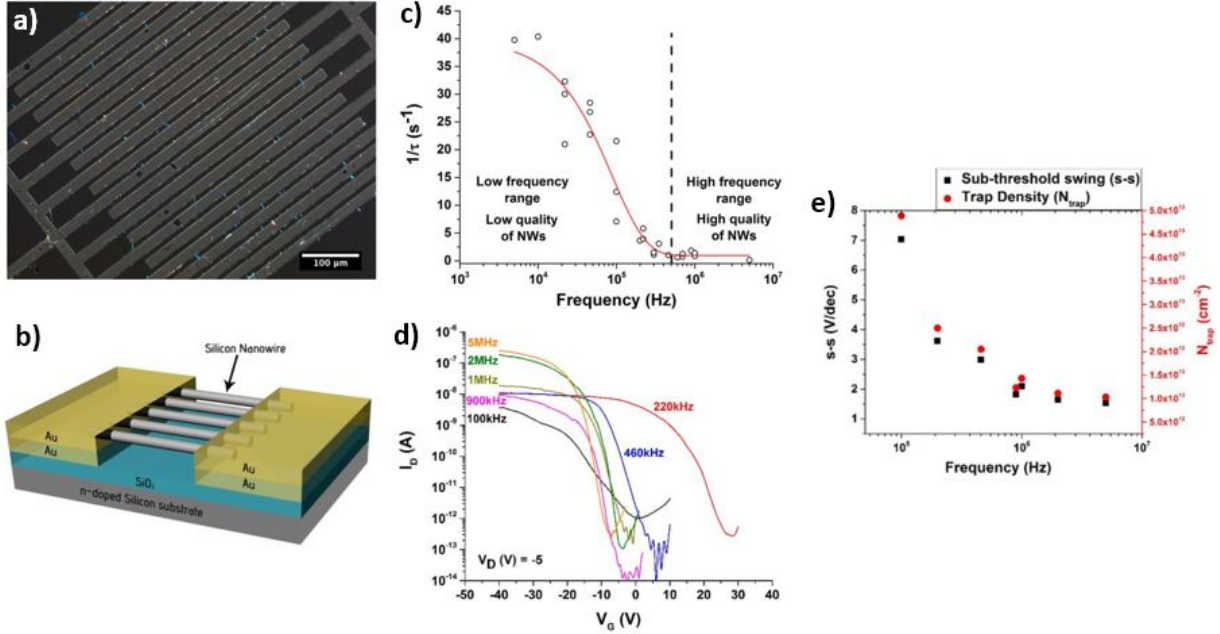


Figure 2.26 : (a) Image du transistor FET mesuré. (b) Illustration schématique du transistor FET à nanofils Si avec une grille en arrière montrant les nanofils couverts par un contact supérieur. (c) Inverse de la constante du temps ( $\tau$ ) en fonction de la fréquence du signal. (d) Caractéristiques de transfert normalisées des transistors FET fabriqués après assemblage des nanofils à des valeurs de fréquences distinctes (e) Valeurs de la pente sous-seuil (s-s) et de la densité de pièges ( $N_{trap}$ ) extraites des caractéristiques de transfert présentés en (d). [78].

## 2.6 Conclusion

Dans ce chapitre dédié à l'état de l'art, nous avons abordé les avantages que peut apporter une intégration 3D par rapport aux architectures planaires traditionnelles. D'après ce qui a été présenté, l'intégration 3D monolithique des composants paraît très prometteuse en termes de précision d'alignement durant la fabrication, de densité de composants et de coût de production par rapport à l'intégration 3D hétérogène des puces.

Nous avons ultérieurement présenté en détails les différents circuits et dispositifs réalisés récemment dans le BEOL d'une puce CMOS. La qualité cristalline des couches et les processus de filtrage des nanotubes de carbones ont justifié l'intérêt que pourra apporter les nanofils lors d'une intégration 3D monolithique. Nous avons également présenté l'emploi de ces nanofils semi-conducteurs dans des applications diverses, pareillement que leur différent mode de synthèse. Le choix de l'alliage  $\text{Si}_{1-x}\text{Ge}_x$  dans notre étude a été justifié, grâce à sa largeur de bande interdite inférieure à celui du silicium.

Dans la dernière partie, nous avons présenté le principe de fonctionnement des transistors SBFET, suivi d'une revue générale des différentes méthodes d'assemblage des nanofils horizontaux pour fabriquer des transistors. Ces techniques regroupaient à la fois un assemblage des nanofils à l'aide des forces sans contact comme la diélectrophorèse à l'instar d'un assemblage des nanofils par CVD-VLS directement sur un substrat amorphe.

Notre objectif dans les chapitres suivants sera d'utiliser ces différentes techniques d'intégration pour fabriquer des transistors à nanofils horizontaux compatibles avec la technologie CMOS.

## **Listes des références du chapitre 2**

- [1] L. Fevenec, "Développement de matériaux diélectriques pour les interconnexions des

- circuits intégrés a-SiOC:H poreux Ultra Low K et a-SiC:H Low K,” *thèse de doctorat* Univ. de Montpellier, 2005.
- [2] Rachid Mohamed TAIBI, “Intégration 3D haute densité : comportement et fiabilité électrique d’interconnexions métalliques réalisées par collage direct,” *thèse de doctorat* Université de Grenoble, 2012.
  - [3] R. Zhang, K. Roy, C. Koh, and D. B. Janes, “Power Trends and Performance Characterization of 3-Dimensional Integration for Future Technology Generations,” *Quality Electronic Design, 2001 International Symposium on*. IEEE, pp. 217-222. 2001.
  - [4] H. Sarhan, S. Thuries, O. Billoint, F. Deprat, A. A. De Sousa, P. Batude, C. Fenouillet-Beranger, and F. Clermidy, “Intermediate BEOL process influence on power and performance for 3DVLSI,” *International 3D Systems Integration Conference*, pp. TS1.3.1-TS1.3.5, 2015.
  - [5] D. Dutoit, C. Bernard, S. Cheramy, F. Clermidy, Y. Thonnart, P. Vivet, C. Freund, V. Guerin, S. Guilhot, S. Lecomte, G. Qualizza, J. Pruvost, Y. Dodo, N. Hotelier, and J. Michailos, “A 0.9 pJ/bit, 12.8 GByte/s WideIO memory interface in a 3D-IC NoC-based MPSoC,” *VLSI Technology (VLSIT), Symposium on*, pp. 22–23, 2013.
  - [6] M. Rousseau, “Impact des technologies d’intégration 3D sur les performances des composants CMOS,” *These de doctorat*, Univ. Insa-Toulouse 2009.
  - [7] R. Ferrant, “3D-IC integration costs and benefits,” *Microwave Symposium Digest (MTT), IEEE MTT-S International*, pp. 1-4. IEEE, 2008.
  - [8] M. M. Shulaker, T. F. Wu, M. M. Sabry, H. Wei, H. P. Wong, and S. Mitra, “Monolithic 3D Integration : A Path From Concept To Reality,” *In Proceedings of the 2015 Design, Automation & Test in Europe Conference & Exhibition, EDA Consortium*, pp. 1197–1202, 2015.
  - [9] S. J. Souri, K. Banerjee, A. Mehrotra, and K. C. Saraswat, “Multiple Si layer ICs: motivation, performance analysis, and design implications,” *Design Automation Conference, Proceedings* pp. 213–220, 2000.
  - [10] R. Chatterjee, M. Fayolle, P. Leduc, S. Pozder, B. Jones, E. Acosta, B. Charlet, T. Enot, M. Heitzmann, M. Zussy, A. Roman, O. Louveau, S. Maitrejean, D. Louis, N. Kernevez, N. Sillon, G. Passemard, V. Po, V. Mathew, S. Garcia, T. Sparks, and H. Zhihong, “Three dimensional chip stacking using a wafer-to-wafer integration,” *International Interconnect Technology Conference, IEEE*, no. c, pp. 81–83, 2007.
  - [11] W. K. Choi, C. S. Premachandran, L. Xie, S. C. Ong, J. H. He, G. J. Yap, and A. Yu, “A novel die to wafer (D2W) collective bonding method for MEMS and electronics heterogeneous 3D integration,” *Proceedings - Electronic Components and Technology Conference*, pp. 829–833, 2010.
  - [12] A. W. Topol, D. C. La Tulipe, L. Shi, D. J. Frank, K. Bernstein, and M. Jeong, “Three-dimensional integrated circuits,” *IBM Journal of Research and development*, vol. 50, no. 4.5, pp. 491–506, 2006.
  - [13] S. Avertin, “Développement et caractérisation de procédés de gravure plasma de T.S.V (Through Silicon Via) pour l’Intégration Tridimensionnelle de Circuits Intégrés,” *These de doctorat*, Univ de Grenoble, 2012.
  - [14] P. Garrou, “Future ICs go vertical,” *Semiconductor International*, 2005.
  - [15] P. R. P Garrou, M Koyanagi, “3D Process Technology”, *Handbook of 3D Integration*, vol. 3. 2014.
  - [16] R. H. Havemann and J. a. Hutchby, “High-performance interconnects: an integration

- overview,” *Proceedings of the IEEE*, vol. 89, no. 5, pp. 586–601, 2001.
- [17] P. Batude, M. Vinet, A. Pouydebasque, L. Clavelier, C. LeRoyer, C. Tabone, B. Previtali, L. Sanchez, L. Baud, A. Roman, V. Carron, F. Nemouchi, S. Pocas, C. Comboroure, V. Mazzocchi, H. Grampeix, F. Aussenac, S. Deleonibus, “Enabling 3D monolithic integration”; *Proceedings of the Electro-Chemical Society (ECS) spring meeting*, vol 16, pp 47, 2008.
  - [18] J. Ahn, H. Kim, K. J. Lee, S. Jeon, S. J. Kang, Y. Sun, R. G. Nuzzo, and J. a Rogers, “Heterogeneous Three-Dimensional Electronics by Use of Printed Semiconductor Nanomaterials” *Science*, vol. 961, pp. 1754–1757, 2006.
  - [19] R. Ishihara, J. Derakhshandeh, M. R. Tajari Mofrad, T. Chen, N. Golshani, and C. I. M. Beenakker, “Monolithic 3D-ICs with single grain Si thin film transistors,” *Solid-State Electronics*, vol. 71, pp. 80–87, 2012.
  - [20] P. Batude, “Intégration à trois dimensions séquentielle: Etude, fabrication et caractérisation,” *These de doctorat*, Univ. de Grenoble 2009.
  - [21] P. Batude, M. Vinet, A. Pouydebasque, C. Le Royer, B. Previtali, C. Tabone, L. Clavelier, S. Michaud, A. Valentian, O. Thomas, O. Rozeau, P. Coudrain, C. Leyris, K. Romanjek, X. Garros, L. Sanchez, L. Baud, A. Roman, V. Carron, H. Grampeix, E. Augendre, A. Toffoli, F. Allain, P. Grosgeorges, V. Mazzochi, L. Tosti, F. Andrieu, J.-M. Hartmann, D. Lafond, S. Deleonibus, and O. Faynot, “GeOI and SOI 3D monolithic cell integrations for high density applications,” *VLSI Technology (VLSIT) Symposium on*, pp. 166–167, 2009.
  - [22] Tezzaron Semiconductors, 2011.
  - [23] M. Vinet, P. Batude, C. Fenouillet-Beranger, F. Clermidy, L. Brunet, O. Rozeau, J. Hartmann, O. Billoint, G. Cibrario, B. Previtali, C. Tabone, B. Sklenard, O. Turkyilmaz, F. Ponthenier, N. Rambal, M. P. Samson, F. Deprat, V. Lu, L. Pasini, S. Thuries, H. Sarhan, J. E. Michallet, and O. Faynot, “Monolithic 3D integration: A powerful alternative to classical 2D scaling,” *SOI-3D-Subthreshold Microelectronics Technology Unified Conference, S3S 2014*, pp. 17–19, 2014.
  - [24] S. M. Max M. Shulaker, Krishna Saraswat, H.-S. Philip Wong, “Monolithic Three-Dimensional Integration of Carbon Nanotube FETs with Silicon CMOS,” *Symposium on VLSI Technology Digest of Technical Papers*, 2014.
  - [25] M. M. Shulaker, T. F. Wu, A. Pal, L. Zhao, Y. Nishi, K. Saraswat, H. S. P. Wong, and S. Mitra, “Monolithic 3D integration of logic and memory: Carbon nanotube FETs, resistive RAM, and silicon FETs,” *Technical Digest - International Electron Devices Meeting, IEDM*, p. 27.4.1-27.4.4, 2015.
  - [26] J. Zhang, A. Lin, N. Patil, H. Wei, L. Wei, H. S. Philip Wong, and S. Mitra, “Robust digital VLSI using carbon nanotubes,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 31, no. 4, pp. 453–471, 2012.
  - [27] J. Zhang, N. Patil, and S. Mitra, “Probabilistic Analysis and Design of Metallic-Carbon-Nanotube-Tolerant Digital Logic Circuits,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 28, no. 9, pp. 1307–1320, 2009.
  - [28] V. Deshpande, V. Djara, E. O’Connor, P. Hashemi, K. Balakrishnan, M. Sousa, D. Caimi, A. Olziersky, L. Czornomaz, and J. Fompeyrine, “Advanced 3D Monolithic hybrid CMOS with Sub-50 nm gate inverters featuring replacement metal gate (RMG)-InGaAs nFETs on SiGe-OI Fin pFETs,” *Technical Digest - International Electron Devices Meeting, IEDM*, vol. 2016, no. 1, p. 8.8.1-8.8.4, 2016.

- [29] T. Irisawa, K. Ikeda, Y. Moriyama, M. Oda, E. Mieda, T. Maeda, and T. Tezuka, "Demonstration of ultimate CMOS based on 3D stacked InGaAs-OI/SGOI wire channel MOSFETs with independent back gate," *Digest of Technical Papers - Symposium on VLSI Technology*, pp. 3–4, 2014.
- [30] C. H. Shen, J. M. Shieh, W. H. Huang, T. T. Wu, C. F. Chen, M. H. Kao, C. C. Yang, C. D. Lin, H. H. Wang, T. Y. Hsieh, B. Y. Chen, G. W. Huang, M. F. Chang, and F. L. Yang, "Heterogeneously integrated sub-40nm low-power epi-like Ge/Si monolithic 3D-IC with stacked SiGeC ambient light harvester," *Technical Digest - International Electron Devices Meeting, IEDM*, vol. 2015–Febru, p. 3.6.1-3.6.4, 2015.
- [31] T. T. Wu, W. H. Huang, C. C. Yang, C. D. Lin, H. H. Wang, C. H. Shen, and J. M. Shieh, "Sub-50nm monolithic 3D IC with low-power CMOS inverter and 6T SRAM," *International Symposium on VLSI Technology, Systems, and Applications, Proceedings*, no. 26, pp. 31–32, 2015.
- [32] S. Steinhauer, E. Brunet, T. Maier, G. C. Mutinati, A. Köck, O. Freudenberg, C. Gspan, W. Grogger, A. Neuhold, and R. Resel, "Gas sensing properties of novel CuO nanowire devices," *Sensors and Actuators, B: Chemical*, vol. 187, pp. 50–57, 2013.
- [33] R. Niepelt, U. C. Schröder, J. Sommerfeld, I. Slowik, B. Rudolph, R. Möller, B. Seise, A. Csaki, W. Fritzsche, and C. Ronning, "Biofunctionalization of zinc oxide nanowires for DNA sensory applications," *Nanoscale Research Letters*, vol. 6, no. 1, p. 511, 2011.
- [34] J. Y. Oh, J. T. Park, H. J. Jang, W. J. Cho, and M. S. Islam, "3D-transistor array based on horizontally suspended silicon Nano-bridges grown via a bottom-up technique," *Advanced Materials*, vol. 26, no. 12, pp. 1929–1934, 2014.
- [35] Q. Yang, Y. Liu, C. Pan, J. Chen, X. Wen, and Z. L. Wang, "Largely Enhanced Efficiency in ZnO Nanowire/p-Polymer Hybridized Inorganic/Organic Ultraviolet Light-Emitting Diode by Piezo- Phototronic Effect," *Nano letters*, vol. 13, no. 2, 2013.
- [36] J. Cai, J. Jie, P. Jiang, D. Wu, C. Xie, C. Wu, Z. Wang, Y. Yu, L. Wang, X. Zhang, Q. Peng, and Y. Jiang, "Tuning the electrical transport properties of n-type CdS nanowires via Ga doping and their nano-optoelectronic applications.,," *Physical chemistry chemical physics : PCCP*, vol. 13, no. 32, pp. 14663–7, 2011.
- [37] W. Y. Weng, T. J. Hsueh, S. J. Chang, G. J. Huang, and S. P. Chang, "A Solar-Blind - Ga<sub>2</sub>O<sub>3</sub> Nanowire Photodetector," vol. 22, no. 10, pp. 709–711, 2010.
- [38] C. M. L. Fernando Patolsky, Brian P. Timko, Guihua Yu, Ying Fang, Andrew B. Greytak, Gengfeng Zheng, "Detection, Stimulation, and Inhibition of Neuronal Signals with High-Density Nanowire Transistor Arrays," *Science*, no. July, pp. 1100–1105, 2007.
- [39] N. P. Dasgupta, J. Sun, C. Liu, S. Brittman, S. C. Andrews, J. Lim, H. Gao, R. Yan, and P. Yang, "25th anniversary article: Semiconductor nanowires - Synthesis, characterization, and applications," *Advanced Materials*, vol. 26, no. 14, pp. 2137–2183, 2014.
- [40] S. Bangsaruntip, G. M. Cohen, A. Majumdar, Y. Zhang, S. U. Engelmann, N. C. M. Fuller, L. M. Gignac, S. Mittal, J. S. Newbury, M. Guillorn, T. Barwicz, L. Sekaric, M. M. Frank, and J. W. Sleight, "High Performance and Highly Uniform Gate-All-Around Silicon Nanowire MOSFETs with Wire Size Dependent Scaling Epi," pp. 297–300, 2009.
- [41] J. Colinge and S. Sio, "From gate-all-around," pp. 11–17, 2007.



- [42] M. Fernandez-Regulez, "Horizontally patterned Si nanowire growth for nanomechanical devices," vol. 24, no. 9, p. 95303, Mar. 2013.
- [43] J. S. Yuk, J. H. Jin, E. C. Alcilja, and J. B. Rose, "Performance enhancement of polyaniline-based polymeric wire biosensor," *Biosensors and Bioelectronics*, vol. 24, no. 5, pp. 1348–1352, 2009.
- [44] G. Larrieu and X.-L. Han, "Vertical nanowire array-based field effect transistors for ultimate scaling," *Nanoscale*, vol. 5, no. 6, p. 2437, 2013.
- [45] S. Bangsaruntip, G. M. Cohen, A. Majumdar, Y. Zhang, S. U. Engelmann, N. C. M. Fuller, L. M. Gignac, S. Mittal, J. S. Newbury, M. Guillorn, T. Barwicz, L. Sekaric, M. M. Frank, and J. W. Sleight, "High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling," *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 297–300, 2009.
- [46] K. Seo, M. Wober, P. Steinvurzel, E. Schonbrun, Y. Dan, T. Ellenbogen, and K. B. Crozier, "Multicolored vertical silicon nanowires," *Nano Letters*, vol. 11, no. 4, pp. 1851–1856, 2011.
- [47] Y. Cui, Z. H. Zhong, D. L. Wang, W. U. Wang, and C. M. Lieber, "High performance silicon nanowire field effect transistors," *Nano Letters*, vol. 3, no. 2, pp. 149–152, 2003.
- [48] S.-W. Chung, J.-Y. Yu, and J. R. Heath, "Silicon nanowire devices," *Applied Physics Letters*, vol. 76, no. 15, pp. 2068–2070, 2000.
- [49] J. Appenzeller, J. Knoch, E. Tutuc, M. Reuter, and S. Guha, "Dual-gate silicon nanowire transistors with nickel silicide contacts," *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 2–5, 2006.
- [50] W. Tang, S. A. Dayeh, S. T. Picraux, J. Y. Huang, and K. N. Tu, "Ultrashort channel silicon nanowire transistors with nickel silicide source/drain contacts," *Nano Letters*, vol. 12, no. 8, pp. 3979–3985, 2012.
- [51] G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, and T. Baron, "Electrical characteristics of a vertically integrated field-effect transistor using non-intentionally doped Si nanowires," *Microelectronic Engineering*, vol. 88, no. 11, pp. 3312–3315, 2011.
- [52] G. Rosaz, B. Salem, N. Pauc, A. Potié, P. Gentile, and T. Baron, "Vertically integrated silicon-germanium nanowire field-effect transistor," *Applied Physics Letters*, vol. 99, no. 19, pp. 2009–2012, 2011.
- [53] J. Goldberger, A. I. Hochbaum, R. Fan, and P. Yang, "Silicon vertically integrated nanowire field effect transistors," *Nano Letters*, vol. 6, no. 5, pp. 973–977, 2006.
- [54] S. Raychaudhuri and E. T. Yu, "Critical dimensions in coherently strained coaxial nanowire heterostructures," *Journal of Applied Physics*, vol. 99, no. 11, 2006.
- [55] R. Braunstein, A. R. Moore, and F. Herman. "Intrinsic optical absorption in germanium-silicon alloys." *Physical Review*, vol. 109.3, pp. 695, 1958.
- [56] T. Vogelsang, and K.R. Hofmann, "Electron transport in strained Si layers on Si<sub>1-x</sub>Ge<sub>x</sub> substrates," *Applied. Physics. Letters*. vol. 63, pp. 186 1993

- [57] C. Maiti, and G. Armstrong, "Applications of Silicon-Germanium Heterostructure Devices". *Boca Raton: CRC Press*, 2001
- [58] S. M. Sze and K. K. Ng., *Physics of Semiconductor Devices*, 3rd ed. 2007.
- [59] L. Yu, W. Chen, B. O'Donnell, G. Patriarche, S. Bouchoule, P. Pareige, R. Rogel, A. Claire Salaun, L. Pichon, and P. Roca I Cabarrocas, "Growth-in-place deployment of in-plane silicon nanowires," *Applied Physics Letters*, vol. 99, no. 20, pp. 2009–2012, 2011.
- [60] S. Roorda, S. Doorn, and W. Sinke, "Calorimetric Evidence for Structural Relaxation in Amorphous Silicon," *Physical review*, vol. 62, no. 16, pp. 1880–1883, 1989.
- [61] B. Nikoobakht and A. Herzing, "Where is the required lattice match in horizontal growth of nanowires?," *Nanoscale*, vol. 6, no. 21, pp. 12814–12821, 2014.
- [62] D. Tsivion and E. Joselevich, "Guided growth of epitaxially coherent GaN nanowires on SiC.," *Nano letters*, vol. 13, no. 11, pp. 5491–6, 2013.
- [63] S. Curiotto, F. Leroy, F. Cheynis, and P. Müller, "In-Plane Si Nanowire Growth Mechanism in Absence of External Si Flux," *Nano Letters*, vol. 15, no. 7, pp. 4788–4792, 2015.
- [64] C. Zhang, X. Miao, P. K. Mohseni, W. Choi, and X. Li, "Site-Controlled VLS Growth of Planar Nanowires: Yield and Mechanism.," *Nano letters*, vol. 14, no. 12, pp. 6836–41, Dec. 2014.
- [65] B. Salem, F. Dhalluin, H. Abed, and T. Baron, "Self-connected horizontal silicon nanowire field effect transistor," *Solid State Communications*, vol. 149, no. 19–20, pp. 799–801, 2009.
- [66] A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, G. Patriarche, and C. Maurice, "Semiconductor-On-Insulator Materials for Nanoelectronics Applications," *MEE* pp. 67–89, 2011.
- [67] A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, G. Patriarche, and C. Maurice, "Confined VLS growth and structural characterization of silicon nanoribbons," *Microelectronic Engineering*, vol. 87, no. 5–8, pp. 1522–1526, 2010.
- [68] P. J. Pauzauskie, A. Radenovic, E. Trepagnier, H. Shroff, P. Yang, and J. Liphardt, "Optical trapping and integration of semiconductor nanowire assemblies in water," *Nature Materials*, vol. 5, no. 2, pp. 97–101, 2006.
- [69] J. Lee, A. A. Wang, Y. Rheem, B. Yoo, A. Mulchandani, W. Chen, and N. V. Myung, "DNA assisted assembly of multisegmented nanowires," *Electroanalysis*, vol. 19, no. 22, pp. 2287–2293, 2007.
- [70] Z. Fan, J. C. Ho, Z. A. Jacobson, R. Yerushalmi, R. L. Alley, H. Razavi, and A. Javey, "Wafer-scale assembly of highly ordered semiconductor nanowire arrays by contact printing," *Nano Letters*, vol. 8, no. 1, pp. 20–25, 2008.
- [71] D. Whang, S. Jin, Y. Wu, and C. M. Lieber, "Large-scale hierarchical organization of nanowire arrays for integrated nanosystems," *Nano Letters*, vol. 3, no. 9, pp. 1255–1259, 2003.
- [72] A. Pevzner, Y. Engel, R. Elnathan, T. Ducobni, M. Ben-Ishai, K. Reddy, N. Shpaisman, A. Tsukernik, M. Oksman, and F. Patolsky, "Knocking down highly-ordered large-scale nanowire arrays," *Nano Letters*, vol. 10, no. 4, pp. 1202–1208, 2010.
- [73] B. Zimmerman, A. M., J. Ulmer, J. Blummel, A. Besser, J. P. Spatz, and B. Geiger, "Formation of focal adhesion-stress fibre complexes coordinated by adhesive and non-

- adhesive surface domains,” *IEEE proceedings of nanobiotechnology*, vol. 151, no. 2, pp. 207–211, 2004.
- [74] E. M. Freer, O. Grachev, D. P. Stumbo, X. Duan, S. Martin, and D. P. Stumbo, “High-yield self-limiting single-nanowire assembly with dielectrophoresis,” *Nature nanotechnology*, vol. 5, no. 7, pp. 525–530, 2010.
  - [75] S. Raychaudhuri, S. a Dayeh, D. Wang, and E. T. Yu, “Precise semiconductor nanowire placement through dielectrophoresis,” *Nano letters*, vol. 9, no. 6, pp. 2260–6, Jun. 2009.
  - [76] D. Wang, R. Zhu, Z. Zhou, and X. Ye, “Controlled assembly of zinc oxide nanowires using dielectrophoresis,” *Applied Physics Letters*, vol. 90, no. 10, pp. 2005–2008, 2007.
  - [77] M. Collet, S. Salomon, N. Y. Klein, F. Seichepine, C. Vieu, L. Nicu, and G. Larrieu, “Large-scale assembly of single nanowires through capillary-assisted dielectrophoresis,” *Advanced Materials*, vol. 27, no. 7, pp. 1268–1273, 2015.
  - [78] M. Constantinou, G. P. Rigas, F. A. Castro, V. Stolojan, K. F. Hoettges, M. P. Hughes, E. Adkins, B. A. Korgel, and M. Shkunov, “Simultaneous Tunable Selection and Self-Assembly of Si Nanowires from Heterogeneous Feedstock,” *ACS Nano*, vol. 10, no. 4, pp. 4384–4394, 2016.



# **Chapitre 3      Développement d'un procédé de guidage des nanofils horizontaux**

## **3.1 Introduction**

L'intégration des nanofils dans les dispositifs présente à l'heure actuelle un grand défi technologique. De plus, leur utilisation dans l'optique d'une intégration 3D monolithique doit faire face aussi à d'autres contraintes de fabrication. Dans ce chapitre, nous allons présenter le développement d'un procédé technologique pour guider la croissance des nanofils SiGe horizontaux dans des tranchées d'oxyde entre des électrodes prédéfinies. Ce type d'intégration « directe » ouvre la voie à la réalisation des transistors à canal nanofil monocristallin dans le Back-end-of-line des circuits intégrés.

Dans la première partie de ce chapitre, nous allons présenter l'importance du budget thermique lors d'une intégration 3D séquentielle. Nous aborderons aussi en détail la synthèse des nanofils dans un réacteur CVD via le mécanisme de croissance VLS. Nous allons ensuite optimiser les paramètres de croissance horizontale à basse température entre des électrodes prédéfinies, sur un substrat SiO<sub>2</sub>/Si. Après nous présenterons le développement d'un procédé technologique, dans lequel des tranchées dans l'oxyde sont créées pour localiser les catalyseurs et confiner la croissance des nanofils horizontaux. Ceci permettra, à terme, de contrôler et éliminer la croissance aléatoire. Finalement, les premiers résultats électriques des nanofils connectés directement entre les électrodes seront dévoilés.

Dans la seconde partie de ce chapitre, nous explorerons une solution alternative pour résoudre les problèmes de croissance parasite observée en dehors des tranchées. Elle consiste à remplacer l'étape de soulèvement (lift-off) par une technique de CMP sur l'or. Nous exploiterons ainsi au cours de cette étude le polissage, la gravure et la planarisation des couches d'or sur des structures d'oxyde en fonction des différents paramètres de CMP (pression, débit de la solution chimique, vitesse de rotation). Cette option d'intégrer la CMP dans le procédé permet de s'affranchir des problèmes technologiques liés à l'étape de soulèvement. Elle ouvre la voie à la fabrication des procédés reproductibles compatibles avec l'industrie de la microélectronique pour des développements futurs.

## 3.2 Importance du budget thermique

Tout développement technologique réalisé dans l'esprit d'une intégration 3D monolithique doit impérativement respecter un seuil de température, afin d'éviter la dégradation des performances électriques des transistors MOSFET. On cite dans ce volet une étude réalisée par Fenouillet *et al.* [1] sur la stabilité thermique des transistors MOSFET (pFETs et nFETs), basés sur une technologie avancée FDSOI planaire. L'objectif était de quantifier la température maximale tolérée pour intégrer des transistors dans les couches supérieures sans dégrader les propriétés électriques des transistors MOS actives au sein d'une structure 3D monolithique développée au LETI [2]. La figure 3.1(a) montre une illustration schématique des structures étudiées après recuit et remplissage des vias. Il a été démontré que les différentes températures utilisées (de 400°C à 550°C) pour des temps de recuit relativement élevés (autour de 5 h) n'ont pas dégradé les valeurs  $I_{on}$  et  $I_{off}$  de deux types de transistors utilisés (nMOS et pMOS) [figure 3.1(b)]. L'effet du recuit et du remplissage des vias sur d'autres paramètres de fonctionnement des transistors ( $V_t$ , activation des dopants, résistance d'accès...) a été aussi étudié. En conclusion, ils ont déterminé un seuil de température maximale de 500°C pour préserver la stabilité des transistors, malgré le temps de recuit relativement élevé (~5 h).

## 3.3 Élaboration des nanofils horizontaux

### 3.3.1 Le réacteur

Toutes les croissances des nanofils réalisées dans notre projet de recherche ont été synthétisées dans un bâti de croissance de type « *Reduced Pressure Chemical Vapor Deposition* » / RPCVD de marque EasyTube<sup>TM</sup>3000 (figure 3.2) commercialisée par la société «First Nano». Ce réacteur comporte plusieurs lignes de gaz indépendantes.

Les gaz précurseurs utilisés durant la croissance des nanofils sont le Germane ( $GeH_4$ ), comme source pour le germanium et le silane ( $SiH_4$ ) pour le silicium. Des flux de dihydrogène ( $H_2$ ) et de diazote ( $N_2$ ) sont aussi acheminés de manière constante durant la croissance et utilisés comme gaz porteurs.

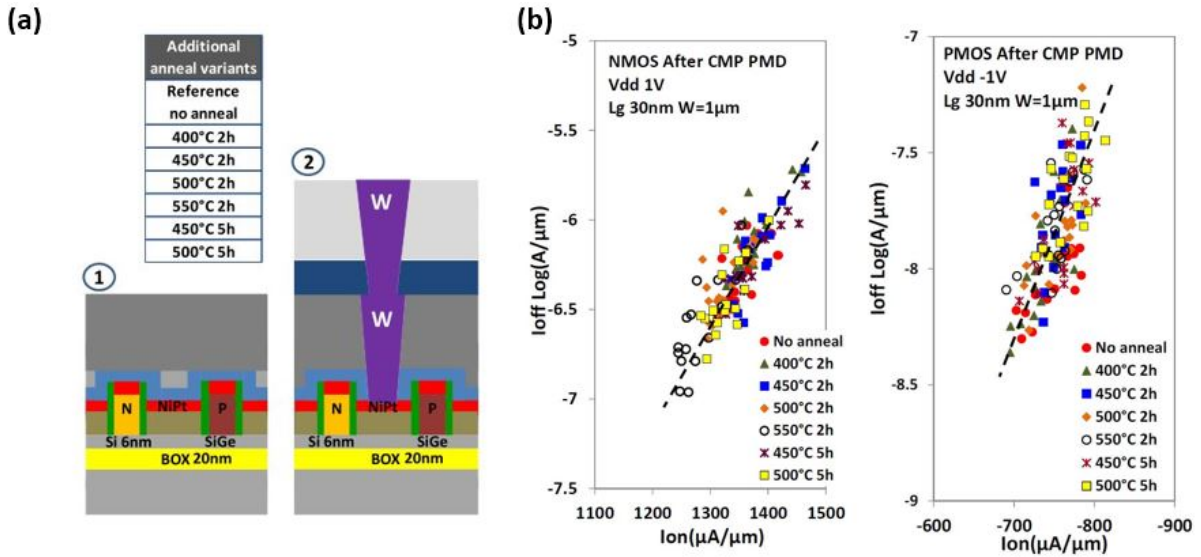


Figure 3.1: Propriétés électriques ( $I_{on}$  et  $I_{off}$ ) des transistors NMOS et PMOS en fonction du recuit thermique [1].

Le chlorure d'hydrogène (HCl) est un autre gaz aussi impliqué dans la croissance et qui permet d'améliorer la morphologie et de réduire la diffusion de l'or à la surface des nanofils [3][4]. Cette technique de dépôt par CVD permet d'obtenir des vitesses de croissances élevées avec un bon contrôle sur la vitesse et la sélectivité du dépôt. En plus de son faible coût, elle offre la possibilité d'élaborer et de doper des nanofils à une température relativement faible, ce qui est compatible avec les procédés technologiques d'intégration 3D. Nous allons dans ce qui suit expliquer les notions de base du mécanisme VLS qui permet d'obtenir des nanofils cristallins à partir d'un catalyseur solide.



Figure 3.2 : Photo du réacteur CVD FirstNano EasyTube™ 3000.F

### 3.3.2 La croissance par le mécanisme VLS

Comme son nom l'indique, ce mécanisme représente les trois états physiques (Vapeur, liquide et solide) que subit le matériau à déposer. Il a été mis en point par Wagner et Ellis en 1964 [5]. Plusieurs études théoriques ont été menées pour comprendre ce mécanisme de croissance [6][7]. D'autres équipes se sont penchées davantage sur ce mécanisme pour en produire différents types de nanofils utilisés dans des applications diverses [8]. Ce mécanisme consiste à injecter le matériau à déposer sous forme gazeuse à la surface d'une particule métallique (le catalyseur). Un démouillage de ce métal aura lieu à la suite d'une montée en température, favorisant ainsi la création des gouttelettes liquides de tailles nanométriques. Ces nanoparticules agissent comme des sites énergétiquement favorables à l'adsorption des gaz précurseurs (comme le silane ( $\text{SiH}_4$ ) dans le cas du silicium). Ensuite, ces gaz se décomposent au moment du contact avec les particules catalytiques. Une partie s'incorpore et se diffuse dans la goutte et l'autre partie est rejetée sous forme gazeuse. Dans le cas du silicium, celui-ci passe alors en phase liquide en s'incorporant à la goutte. Il forme un alliage liquide sous l'effet d'un gradient de concentration à une température de l'eutectique ( $T_E=363^\circ\text{C}$ ). Une fois que la goutte atteint sa saturation de solubilité imposée par le diagramme des phases du mélange binaire et l'apport des gaz précurseurs (silicium) continue ; le matériau se cristallise à l'interface goutte/substrat et se dépose à la base de la gouttelette liquide. Par conséquent, les dimensions (forme et taille) de ces sites liquides vont déterminer par la suite le volume de matériau précipité, contribuant ainsi à une croissance des nanofils. Ce phénomène de croissance avec le diagramme de phase binaire Au-Si, ainsi que les nanofils verticaux de silicium obtenus après synthèse sont illustrés dans la figure 3.3.



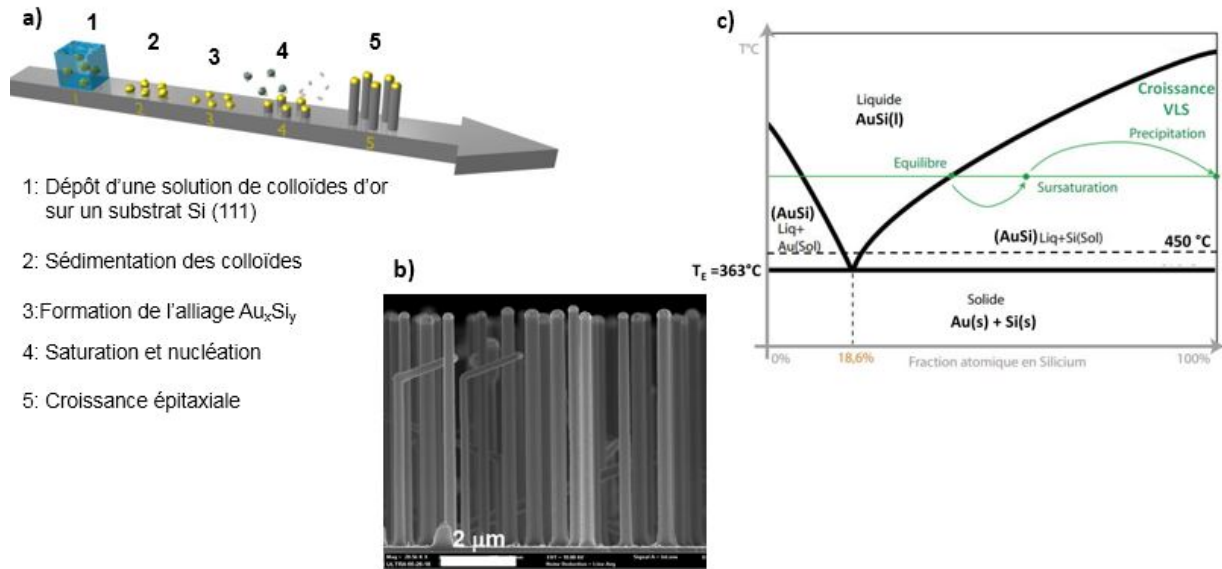


Figure 3.3 : (a) Illustration schématique de mécanisme de croissance VLS. (b) Image SEM des nanofils verticaux obtenus après croissance sur un substrat de silicium cristallin. (c) Diagramme de phase binaire Or-Silicium associé [9].

De nombreux métaux peuvent être utilisés comme catalyseurs. On peut citer l'or, le platine, l'aluminium, le cobalt, le cuivre et le palladium. Le catalyseur constitue un élément essentiel pour la croissance VLS. Il détermine le diamètre et influence la morphologie des nanofils.

En effet, l'or est pour l'instant le catalyseur le plus utilisé dans la majorité des travaux VLS. Ceci est dû à de nombreux avantages tels que : 1) il est stable chimiquement avec un point de fusion élevé ce qui le rend un parfait candidat, surtout si des étapes de recuit avant croissance sont requises, 2) c'est un métal facilement disponible et non toxique, 3) son diagramme de phase (Au-Si) possède un seul point eutectique à une température basse ( $363^{\circ}C$ ), ce qui le rend compatible avec le budget thermique pour intégration monolithique sur puce CMOS. Malgré tous ses avantages, l'or diffuse dans les nanofils au cours d'une croissance VLS et il est toujours considéré comme polluant dans la microélectronique à cause des pièges qui pourra introduire dans la bande interdite du silicium. Quant au cuivre, il est aussi considéré comme un élément contaminant. Certes, il reste largement utilisé dans la fabrication des niveaux de métallisations et des vias, mais requiert l'ajout des barrières anti-diffusion.

De la même manière, l'effet de la contamination de l'or pourra être contrôlé à l'aide des barrières anti-diffusion (telles que le TiN), implémentées dans les couches supérieures. Récemment, des études [10][11] ont aussi évoqué l'effet de l'or sur les propriétés électroniques du transport dans les nanofils. Elles ont conclu que malgré la présence des traces d'or au sein des nanofils, ces

dernières sont insuffisantes pour modifier les propriétés électroniques du silicium monocristallin. Chacun des métaux catalytiques possède ses propres avantages et inconvénients. Un compromis doit être accordé à son utilisation en fonction de l'application visée. Le tableau 3.1 regroupe les avantages et les inconvénients (en rouge) des principaux catalyseurs.

Au	Al	Cu	Pt
<b>❖ Avantages :</b> 1- Température de croissance des nanofils de silicium entre 400°C et 500°C dans CVD 2- Stabilité chimique, et ne s'oxyde pas à l'air 3- Un seul point eutectique avec $T_E = 363^\circ\text{C} < 500^\circ\text{C}$ 4- Bonne morphologie des nanofils (forme circulaire)	<b>❖ Avantages :</b> 1- Non contaminant pour l'électronique (Dopant type P)	<b>❖ Avantages :</b> 1- Faible capacité de diffusion des métaux sur la surface	<b>❖ Avantages :</b> 1- Stable et ne s'oxyde pas 2- Utiliser pour la siliciation des nanofils
<b>❖ Inconvénients :</b> 1- Élément contaminant pour l'électronique	<b>❖ Inconvénients :</b> 1- Non stable chimiquement, s'oxyde à l'air 2- Un seul point eutectique avec $T_E = 577^\circ\text{C} > 500^\circ\text{C}$ 3- Température de croissance des nanofils entre 580°C et 700°C dans HUV- CVD	<b>❖ Inconvénients :</b> 1- Non stable chimiquement, s'oxyde à l'air 2- Plusieurs points eutectiques pour VLS avec $T_{E \min} = 802^\circ\text{C} > 500^\circ\text{C}$ 3- Température de croissance des nanofils entre 850°C et 1000°C dans HUV- CVD 4- Élément contaminant pour l'électronique	<b>❖ Inconvénients :</b> 1- Plusieurs points eutectiques pour VLS avec $T_{E \min} = 970^\circ\text{C} > 500^\circ\text{C}$ 2- Élément contaminant pour l'électronique 3- Mauvaise morphologie des nanofils (Forme conique)

Tableau 3.1: Tableau récapitulatif des avantages et inconvénients des différents catalyseurs[12].

Dans l'optique de développer et fabriquer rapidement les échantillons, le catalyseur d'or a été retenu dans ce projet de recherche. Il constitue une continuité des autres travaux réalisés au sein du groupe « *matériaux* » dans le laboratoire LTM [13] [14][15].

### 3.3.3 Optimisations des paramètres de croissance horizontale des nanofils SiGe et Ge

#### A. Nanofils SiGe

Nous allons dans cette partie présenter l'impact des paramètres de dépôt dans une machine CVD sur la croissance horizontale de différents types de nanofils. Les premiers échantillons sont réalisés sur un substrat Si/SiO<sub>2</sub>, où des électrodes prédéfinies sont fabriquées avec une couche d'or d'épaisseur variable couverte par une couche d'aluminium. Cette couche d'aluminium couvre entièrement l'or pour empêcher la croissance verticale des nanofils, favorisant ainsi celle d'une direction planaire. La fabrication de ces électrodes commence par étaler une résine négative de type MA-N2410, suivi d'un recuit à 90°C pendant 90 s. L'échantillon est ensuite exposé pendant 8 s sous une lampe Deep-UV de type SÜSS Microtec MJB4. Après insolation, le développement de la résine a eu lieu pendant 45 s à l'aide d'un AZ développeur type MIF 326. Par la suite, différentes séries d'échantillons sont fabriqués en utilisant des épaisseurs variables du catalyseur d'or. Les électrodes sont alors métallisées en évaporant une couche d'or (20 nm, 40 nm, 60 nm) suivi par 120 nm d'aluminium. Enfin, un « *lift-off* » de la résine permet de révéler les électrodes et un nettoyage final au plasma d'oxygène est utilisé pour retirer les traces de résine restantes.

Ensuite, les premières croissances sont réalisées dans le four de CVD, où des gaz précurseurs à 90 sccm de silane et 45 sccm de Germane (~ 10 % dans H<sub>2</sub>) ont été respectivement introduits comme étant des sources de silicium et de germanium, avec de H<sub>2</sub> comme gaz porteur. Ces valeurs de flux injectées entraînent à la fin de la croissance, l'obtention des nanofils avec une composition de 70% de Si et 30% de Ge (Si<sub>0.7</sub>Ge<sub>0.3</sub>). Une étude sur la variation de la composition des nanofils verticaux Si<sub>1-x</sub>Ge<sub>x</sub> a été effectuée par A. Poitié *et al.*[16]. Ils ont pu constater que l'augmentation du flux de silane par rapport à celui du germane contribue à des meilleures densités des nanofils (NFs) (1 NF. μm<sup>-2</sup> pour un flux de silane à 25 sccm contre 25-30 NF. μm<sup>-2</sup> pour un flux de silane à 90 sccm). De plus une morphologie non coudée et des nanofils verticaux au substrat ont été obtenus pour des flux de silane supérieurs à 50 sccm. Un flux de 40 sccm de HCl est aussi injecté en tant que gaz réactif. Ce dernier aura un impact positif sur la morphologie des nanofils SiGe et son utilisation est primordiale. Il permet la croissance des nanofils denses droits, non coudés et sans conicité. Un faible flux de HCl (autour de 40 sccm) permet aussi d'augmenter l'incorporation du germanium dans les nanofils, contrairement à un

fort flux qui détériore et empêche la croissance des nanofils. L'effet de ce gaz sur la croissance a été détaillé dans la thèse de A. Poitié [17]. La figure 3.4 montre une image SEM « Scanning electron microscopy » avec une illustration schématique d'une électrode avant et après croissance.

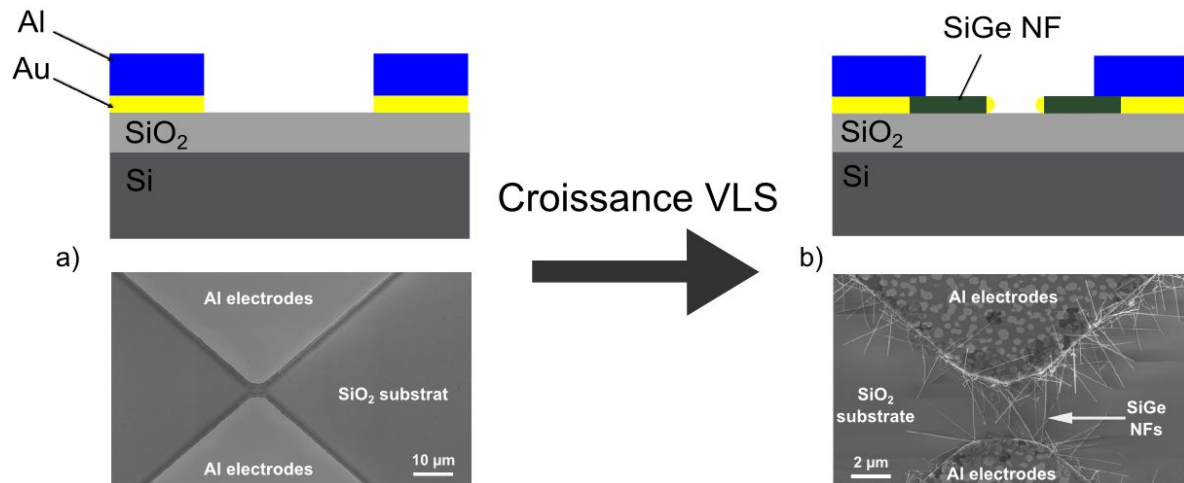


Figure 3.4: Illustration schématique et images SEM des électrodes prédéfinies en aluminium déposées sur une surface d'oxyde a) avant et b) après croissance directe des nanofils SiGe à 450°C.

Pour une température inférieure à 400°C, aucune croissance n'a été détectée (figure 3.5-a). Cependant, la croissance horizontale des nanofils SiGe (NFs SiGe) a été observée sur une gamme de température entre 400-450°C avec les différentes épaisseurs d'or déposées (20 nm à 60 nm) (figure 3.5-b, c). Il a été déterminé qu'une croissance de 40 min à 450 °C avec une pression totale d'environ 4,5 Torr produit des NFs denses avec une longueur entre 2.5 μm et 4 μm en moyenne, suffisante pour connecter les électrodes préfabriquées. Mais ce type de croissance horizontale non contrôlée ne permet pas de fixer l'orientation et le nombre de nanofils sur le substrat. Cette étude montre donc la nécessité de bien guider et de contrôler la croissance afin de fabriquer de façon précise des dispositifs FET à canaux nanofils.

## B. Nanofils Ge

Dans la section précédente, nous avons démontré que la croissance des nanofils horizontaux SiGe en fonction des différents paramètres de dépôt, pour une température variable entre 400°C et 450°C, respecte le budget thermique imposé.

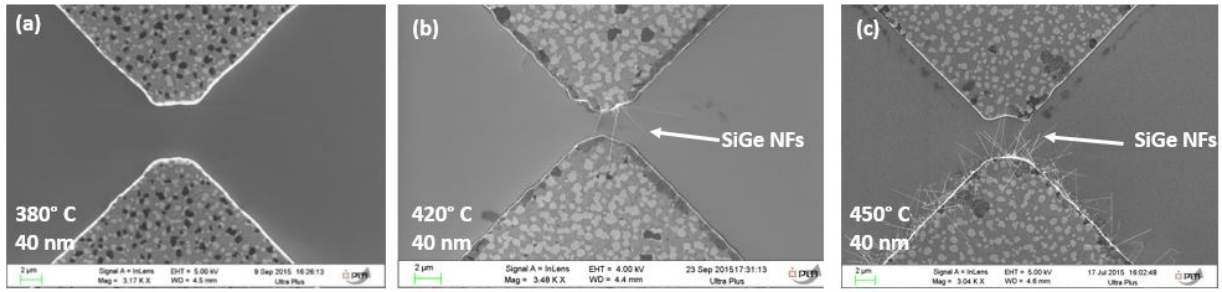


Figure 3.5 : Images SEM montrant l'effet de la température sur la croissance des nanofils SiGe horizontaux pour une épaisseur d'or de 40 nm : (a) 380°C, (b) 420°C, (c) 450°C

Pour contrôler la diffusion de l'or dans les niveaux inférieurs, ainsi que dans le nanofil, il sera indispensable de réduire la température de croissance. Dans cette optique, nous avons démontré la possibilité de synthétiser des nanofils horizontaux à base de germanium entre des électrodes prédéfinies, avec une température de croissance autour de 320°C. Ces nanofils révèlent être intéressants, grâce à leur faible température, leur morphologie adéquate (taille et longueur) comme le montre la figure 3.6.

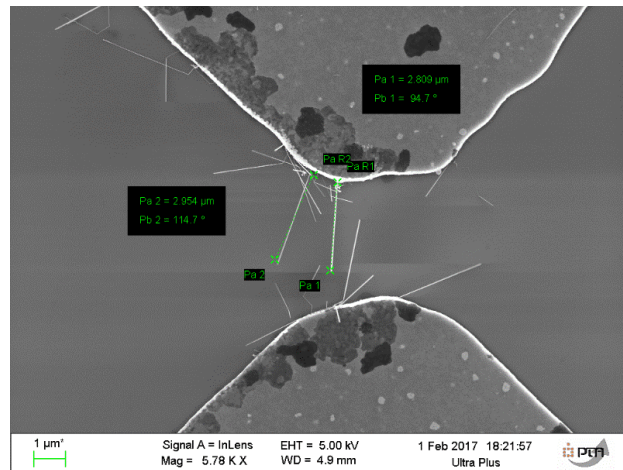


Figure 3.6 : Image SEM montrant la croissance des nanofils Ge horizontaux avec une température de croissance égale à 320°C, (T= 40 min, P = 4.5 Torr).

La synthèse directe des nanofils avec notre procédé dans un bâti de CVD se déroulera à une température inférieure ou égale à 500°C pour une durée maximale de 40 min. Cette croissance constituera l'étape technologique majeure où les échantillons subiront un tel recuit. L'élaboration des nanofils silicium-germanium ou germanium via le mécanisme VLS respecte alors le budget thermique fixé pour des intégrations en 3D dans le BEOL des puces CMOS.

### 3.3.4 Croissance horizontale localisée entre les électrodes

Afin d'éliminer la croissance aléatoire des nanofils entre les électrodes prédéfinies, nous avons développé un procédé qui permet de localiser la croissance des nanofils seulement entre les deux extrémités des électrodes. Toutes les étapes technologiques des électrodes prédéfinies décrites précédemment ont été reprises. Une étape supplémentaire est ajoutée à la fin, consistant à couvrir la majorité de l'électrode par de l'aluminium, tout en gardant l'extrémité de chaque électrode dégagée. Un alignement par rapport au niveau inférieur suivi d'une insolation, un dépôt et un « *lift-off* » ont été effectués. Les différentes étapes de ce procédé ainsi que les résultats de croissance des NFs SiGe sont présentées dans la figure 3.7.

La croissance localisée des nanofils entre les électrodes a été obtenue à la suite de ce procédé. Ce procédé a permis ainsi de réduire d'une manière drastique la croissance aléatoire non organisée des nanofils. Néanmoins, un contrôle du nombre des nanofils qui connecte les deux électrodes n'a pas été atteint étant donné que la taille de la zone d'or exposée n'est pas suffisamment contrôlée. Ceci a contribué à la formation des colloïdes d'or sur la surface exposée des électrodes, et par la suite à la croissance d'un nombre des nanofils de manière aléatoire.

Pour résoudre ces problèmes liés à l'auto-assemblage des nanofils entre les électrodes sur un substrat couvert par un oxyde, nous proposons par la suite un procédé technologique à faible budget thermique basé sur les procédés « damascènes » [18] et qui permet de confiner la croissance des nanofils horizontaux dans des cavités d'oxyde, entre les électrodes. Cette synthèse des nanofils sera alors définie en fonction du nombre, de la largeur et de la longueur des nanotranchées créées dans l'oxyde. Ce procédé de fabrication et son budget thermique associé seront compatibles avec la technologie CMOS, ce qui permettra son intégration dans le BEOL d'un circuit intégré.

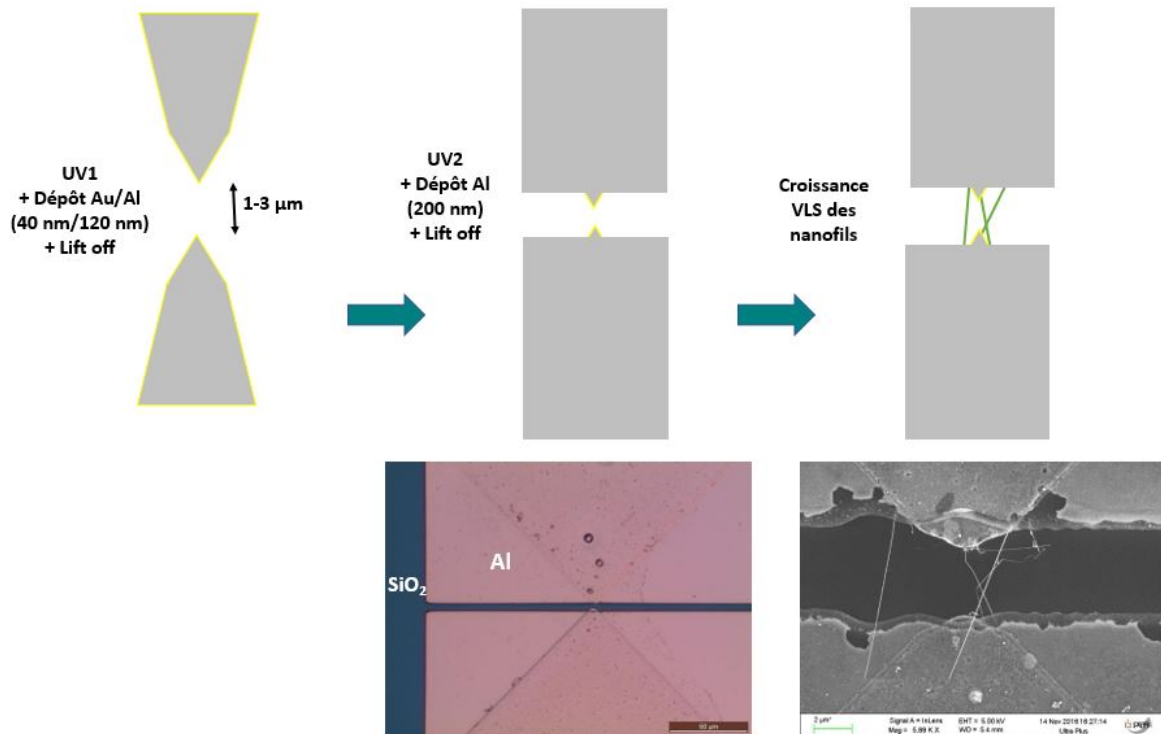


Figure 3.7 : Procédé de localisation des nanofils entre les électrodes.

### 3.4 Procédé technologique pour une croissance guidée des nanofils

Ce procédé technologique développé pour guider les nanofils combine différentes étapes technologiques comme la photolithographie, la gravure sèche / humide, la lithographie par faisceau d'électrons (EBL) et la planarisation mécano-chimique (CMP). Il ouvre la voie de fabrication des nanotranchées dans lesquelles les nanofils seront guidés grâce aux parois verticales de ces dernières.

#### 3.4.1 Procédé de fabrication

Au cours de cette partie du projet, le focus sera sur les différentes étapes technologiques du procédé qui va permettre la croissance horizontale confinée des NFs. Toutes ces étapes sont élaborées sur un substrat de silicium (10x10 mm<sup>2</sup>), où 150 nm d'oxyde thermique ont été élaborés à la suite d'un recuit thermique. La figure 3.8 représente des vues en coupe schématiques du procédé développé.

La première étape [figure 3.8 (a)] de ce procédé consiste à définir les structures servant de plots de caractérisation et de chemins d'amenée, déterminant les électrodes. Cette dernière utilise la



photolithographie (UVL) vue que les plots ainsi que les dimensions caractéristiques des « chemins d’amenée » sont d’ordre micrométrique. La fabrication de ces électrodes requiert d’abord l’étalement d’une double résine de type LOR5A et S1805, suivi d’un recuit à 150 et 115°C pendant 5 min et 1 min respectivement. L’échantillon subit une exposition pendant 3.2 s à une puissance de 15 mW/cm<sup>2</sup> sous une lampe UV d’un aligneur OAI 806. Après insolation, un développement de résine pendant 30 s est effectué à l’aide du développeur MF 319. Des structures sacrificielles de 2 µm de largeur qu’on nomme « Dummies » sont aussi présentes sur la surface du masque. Ces structures permettent plus tard d’homogénéiser le polissage sur l’ensemble de l’échantillon [16].

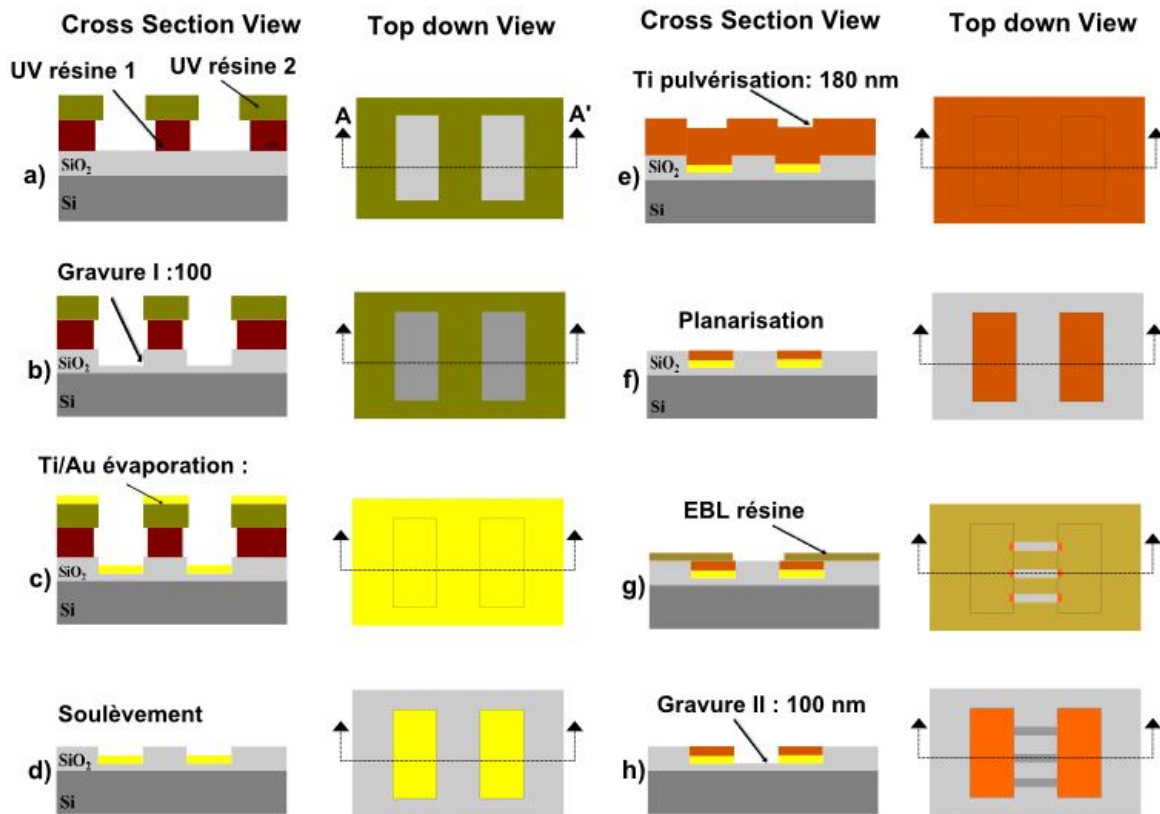


Figure 3.8 : Illustration schématique du procédé technologique pour la croissance guidée des nanofils horizontaux. Le côté gauche de chaque partie de la figure est la section transversale le long de l’axe AA’.

Le photomasque (NKMV4) contient plusieurs cellules, dont cinq cellules universelles conçues pour la fabrication des dispositifs (Voir figure 3.9-a). L’agrandissement de la zone centrale de cette cellule où les nanotranchées sont créées est mise en avant dans la figure 3.9-b, c. Les



« chemins d'amenées » permettent de relier les plots de contacts vers la zone centrale de la cellule où les dispositifs nanométriques seront fabriqués.

Une gravure plasma « *inductively coupled plasma* » (ICP) permet de transférer ces motifs micrométriques dans la couche de SiO<sub>2</sub> [étape b de la figure 3.8]. La recette de gravure dans l'oxyde est définie à une température de -20°C, pour une puissance du « platen » et du « coil » à 50 W et 100 W respectivement [19]. Une durée de 105 s a permis la gravure de 100 nm d'oxyde, avec un angle de gravure proche de 90°. Les débits de gaz injectés durant cette gravure sont 140 sccm d'Hélium (He), 12 sccm de fluorure de carbone (CF<sub>4</sub>) et 14 sccm d'hydrogène (H<sub>2</sub>).

En plus de leurs rôles d'électrodes, ces microstructures gravées dans l'oxyde vont constituer les réservoirs du catalyseur indispensable à la croissance des nanofils. La profondeur de la gravure va aussi affecter la quantité du catalyseur à déposer.

Après la gravure, un dépôt d'or par évaporation est réalisé. L'or est connu pour sa faible adhésion au diélectrique à cause de ses propriétés d'inertie chimique. C'est pour cela, son dépôt doit être fait sur une couche d'adhésion qui permet de le fixer sur le substrat.

Généralement, cette couche est de 5 à 15 nm formée de Ni, Ti ou Cr [20]. Une couche de Ti (5 nm) et une couche d'or (50 nm) ont été déposées respectivement à l'intérieur des tranchées en utilisant une évaporation par faisceau d'électrons [étape c de la figure 3.8], suivi d'une étape de soulèvement [étape d de la figure 3.8]. Ce type de dépôt par évaporation effectué sous vide a été effectué dans une machine de marque « *Lesker* », dont la distance cible-échantillon est de 45 cm.

Cette évaporation à faisceau électronique génère un dépôt directionnel, vu que la taille de la source (< 1 cm) est plus petite comparée à la distance qui la sépare de l'échantillon (~ 45 cm). L'inconvénient de ce dépôt est qu'il manque de conformité et très peu du métal est déposé sur les parois latérales des motifs. La figure 3.10 illustre une comparaison entre le dépôt directionnel effectué par évaporation et un autre plus conforme par pulvérisation cathodique sur un motif gravé ou sur un substrat avec une bicouche de résine pour le soulèvement [21]. Dans notre cas, le dépôt du catalyseur d'or ne peut être effectué qu'avec une technique d'évaporation, vu de l'absence d'une cible d'or dans la machine de pulvérisation.

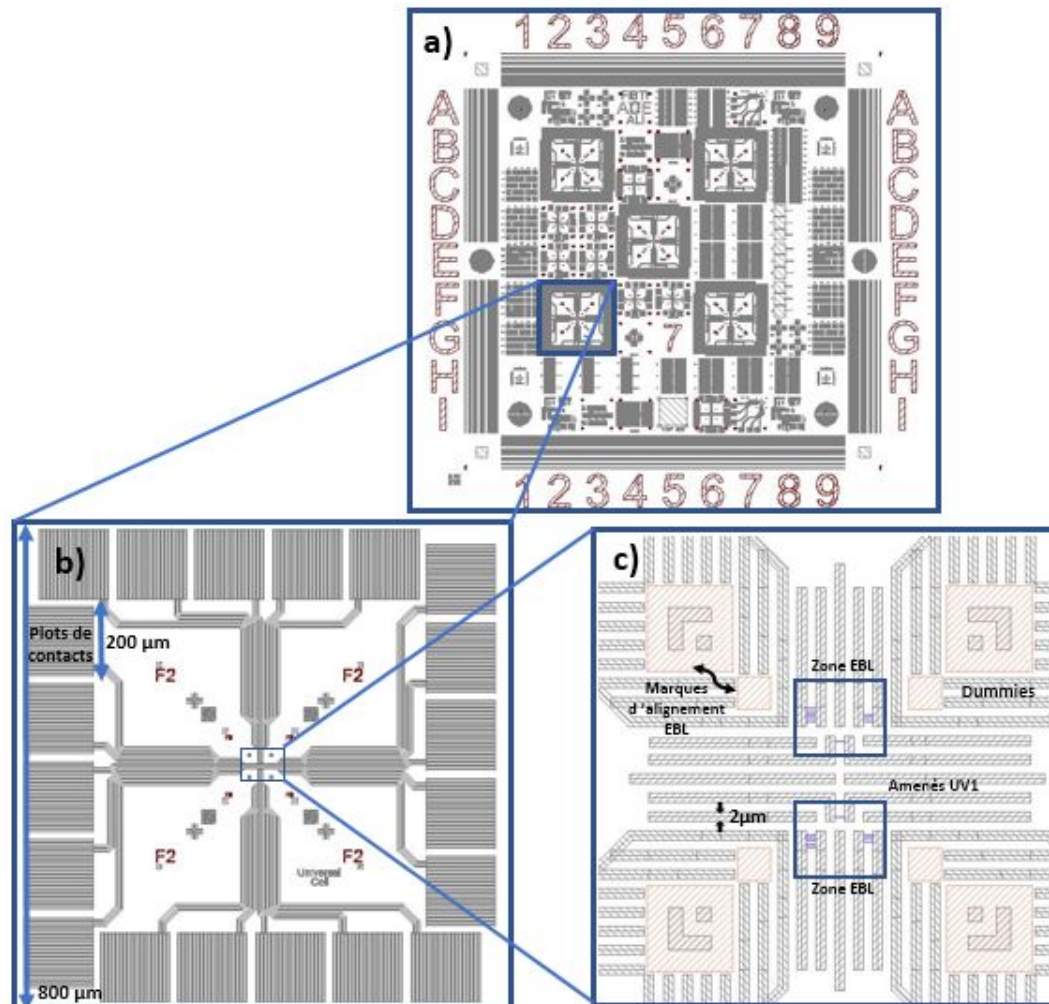


Figure 3.9: (a) Photomasque NKMV4 d'un échantillon de 1 cm x 1 cm. (b) Agrandissement de l'une des 5 cellules universelles avec plots de contacts de 200  $\mu\text{m}$ , chemin d'amenées (électrodes) et les marques d'alignement. (c) Focus sur le centre de la cellule avec les dummies, les zones EBL et les marques d'alignements.

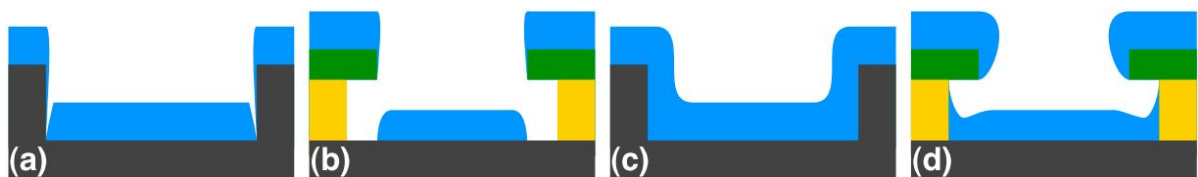


Figure 3.10: Comparaison entre les différents types de dépôts avec : Dépôt directionnel par évaporation sur (a) un motif gravé et (b) sur un substrat avec bicouche de résine pour soulèvement. Dépôt quasi conforme par pulvérisation cathodique sur (c) un motif gravé et (d) sur un substrat avec bicouche de résine pour soulèvement [21].

Afin de tester la technique d'évaporation, 5 nm de titane suivi de 20 nm d'or ont été déposés sur des structures tests gravées dans l'oxyde de 60 nm de profondeur, avec la même bicouche de résine utilisée au cours de l'étape (a) du procédé. La figure 3.11 montre l'état final des motifs

après soulèvement des métaux. Nous avons observé que l'or ne remplissait pas toute la surface des tranchées. D'un côté un surplus déborde sur les bords des flancs tandis que sur l'autre côté, un vide apparaît à la suite du dépôt dans ce type de structure.

Un effet d'ombrage dû à la double couche de résine et une légère inclinaison dans la machine de dépôt combinés avec la position de l'échantillon de 1 cm<sup>2</sup> sur le plateau pour des wafers 100 mm peuvent être la cause de ce phénomène observé. Même si le dépôt d'or a seulement atteint une seule extrémité des microstructures, ceci est considéré suffisant pour réaliser la croissance des nanofils. Le défi sera plutôt dans la capacité à l'exposer au flux des gaz précurseurs comme il sera investigué ultérieurement. Le soulèvement est réalisé en utilisant une séquence de nettoyage combinant plusieurs solvants (Remoover +Acetone+ IPA), suivi d'un plasma d'oxygène à 150 W pendant 5 min pour assurer le retrait total des résidus de résine.

Une couche de titane de 180 nm, qu'on appelle « blanket », est ensuite déposée par pulvérisation cathodique sur toute la surface de l'échantillon. Ce type de dépôt remplit les tranchées de manière quasi conforme au-dessus du catalyseur d'or [étape e de la figure 3.8]. Cette couverture en titane doit être plus épaisse que les tranchées les plus profondes dans l'échantillon. Cette quantité de matière est assez suffisante pour planariser la surface de l'échantillon avant d'atteindre l'interface [22]. Par la suite, plusieurs étapes successives de CMP sur l'échantillon ont permis d'éliminer tout l'excès de titane sur l'oxyde et d'aplanir les tranchées au même niveau de la surface initiale de l'oxyde [étape f de la figure 3.8].

Les expériences de CMP sont réalisées sur des échantillons de 1 x 1 cm<sup>2</sup> de dimensions, en injectant une solution « slurry » basique contenant des nanoparticules de silice (50 nm de diamètre) diluée dans de l'alcool isopropylique (IPA) avec un rapport de volume 1 : 1. Les principes et le fonctionnement de ce polissage seront présentés en détail par la suite dans la partie dédiée à la CMP de l'or. Des études sur la sélectivité entre les deux matériaux (Ti et SiO<sub>2</sub>) ont servi pour contrôler la planarisation à l'échelle nanométrique et amincir de manière uniforme toutes les microstructures [23]. Ce qu'il faut retenir est que la vitesse de gravure « *Removal rate* » ou RR des matériaux dépend, en plus des paramètres chimiques et physiques, de plusieurs autres paramètres de la machine tel que : la pression de la tête appliquée, la vitesse du plateau ainsi que le débit et la solution du slurry...

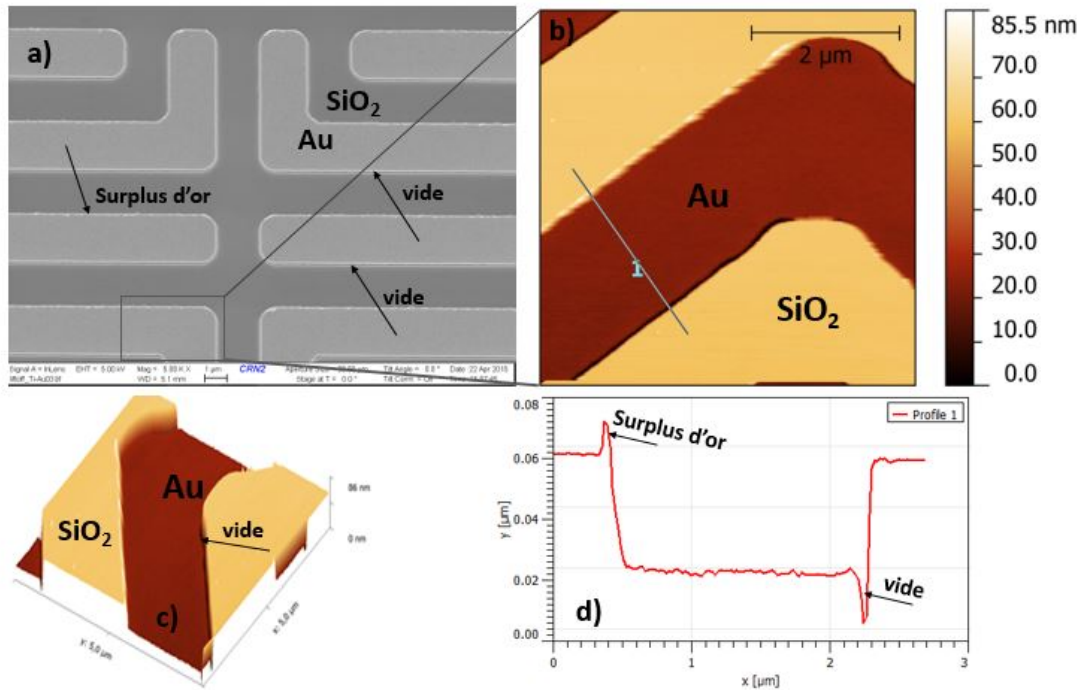


Figure 3.11: État des microstructures après soulèvement du métal révélant le vide et le surplus sur les bords. (a) Image SEM des microstructures. (b) Image AFM de la zone agrandie dans (a). (c) Image en 3D de la même zone définie. (d) Extrait de la topographie des microstructures désigné avec le profil indiqué dans (b).

Ces vitesses de gravure extraites vont permettre d'établir la sélectivité entre les différents matériaux présents sur l'échantillon (dans ce cas : Sélectivité =  $RR_{Ti} / RR_{SiO_2}$ ). Suite à l'étude élaborée par S. Ecoffey *et al.*[24], une sélectivité proche de l'unité entre le Ti et le SiO<sub>2</sub> est considérée suffisante pour réduire l'épaisseur de titane à la même vitesse que l'oxyde jusqu'à quelques nanomètres comme le montre la figure 3.12.

Dans la phase finale de ce procédé, des nanotranchées de 100 nm de profondeur alignées entre les microélectrodes ont été créées à l'aide d'une lithographie à faisceau électronique (EBL) [étape g de la figure 3.8], suivie d'une gravure plasma dans l'oxyde [étape h de la figure 3.8]. Ces nanotranchées alignées entre les microstructures de l'empilement Au/Ti vont déterminer par la suite le guidage pour une croissance confinée des nanofils. Afin de fabriquer ces motifs, nous commençons par étaler une résine positive ZEP 520, diluée avec de l'anisole, suivi d'un recuit à 180°C pendant 300 s. L'épaisseur finale de la résine est autour de 90 nm. L'échantillon est ensuite exposé au faisceau d'électrons avec une énergie de 20 keV. Après l'insolation, la résine est développée pendant 75 s dans de l'O-xylène puis 15 s dans une solution de méthyl-isobutylcétone (MIBK).

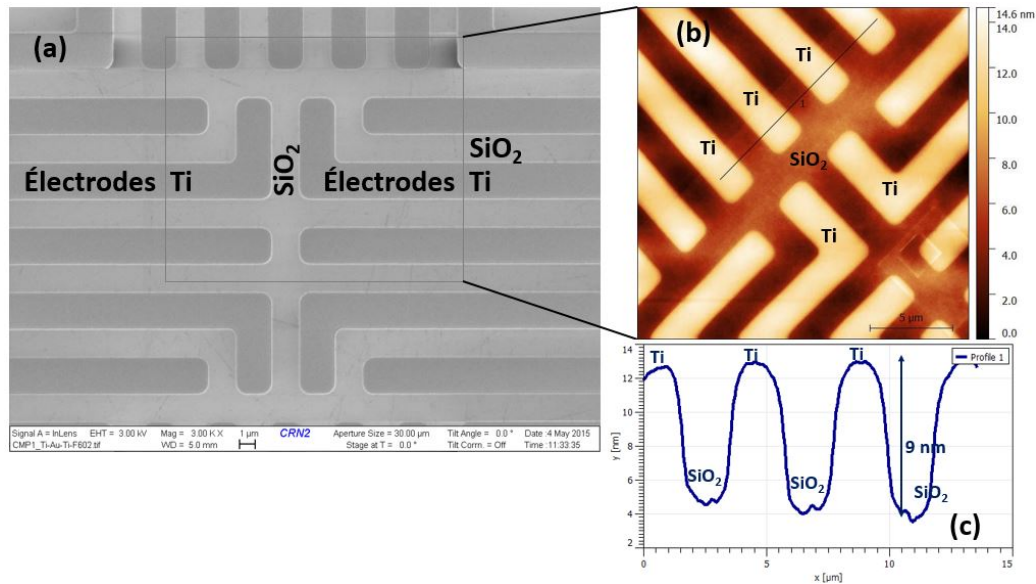


Figure 3.12 : État des échantillons après CMP du titane. (a) Image SEM des microstructures planarisées dans l'oxyde. (b) Image AFM de la zone agrandie dans (a) montrant l'effet de planarisation. (c) Extrait de la topographie des microstructures planarisées avec le profil indiqué dans (b).

Le transfert dans l'oxyde de ces motifs se fait avec une gravure plasma en utilisant la même recette et le même temps de la gravure plasma des microstructures. Finalement, un nettoyage aux solvants et au plasma d'oxygène permet d'éliminer toute la résine après gravure. La figure 3.13 montre une image SEM de ces nanostructures transférées dans la couche de diélectrique à la fin du procédé pré-décrit. Les nanotranchées sont de 2 μm de long, avec une largeur variable entre 70 nm et 1 μm. Un contraste de couleur sur la figure indique les différents matériaux existants, où les structures d'électrodes Au/Ti prédéfinies (largeur = 2 μm) sont présentées en couleur foncée et l'oxyde en couleur claire.

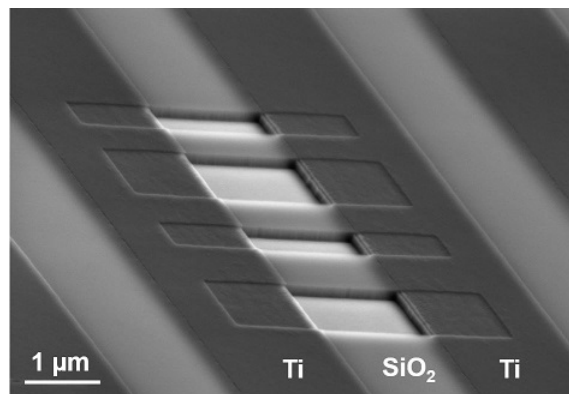


Figure 3.13 : Image SEM des nanotranchées d'oxyde créées entre les électrodes de titane.

### 3.4.2 Croissance des nanofils dans les nanotranchées

Une fois que le procédé a été établi, les premiers tests de croissance ont été réalisés sur les échantillons. Nous utiliserons les paramètres optimisés dans l'étude précédente tout au long de ce procédé ( $t = 40$  min,  $T = 450^{\circ}\text{C}$  and  $P = 4.5$  Torr). Aucune croissance n'a été observée sur ces différents échantillons. Pour comprendre l'origine de ce problème, nous avons réalisé une coupe FIB-STEM afin d'inspecter l'état final de ces nanotranchées après gravure (figure 3.14). Ces observations ont révélé la présence d'une couche d'oxyde et de titane sur les parois latérales des cavités d'oxyde, ce qui empêche la croissance des nanofils à l'intérieur de ces cavités, puisque le catalyseur d'or n'est pas exposé au flux de gaz lors de la croissance CVD.

Des deux côtés des nanotranchées, la gravure des microstructures a abouti à des angles proches mais non égales à  $90^\circ$ , amenant ainsi à des profils sortants (indication 1 sur la figure 3.14). Cette image appuie aussi les observations faites auparavant concernant le dépôt d'or par évaporation. Il remplit toute la tranchée d'un côté et laisse un espace vide (dû à l'effet d'ombrage) sur le bout de l'autre.

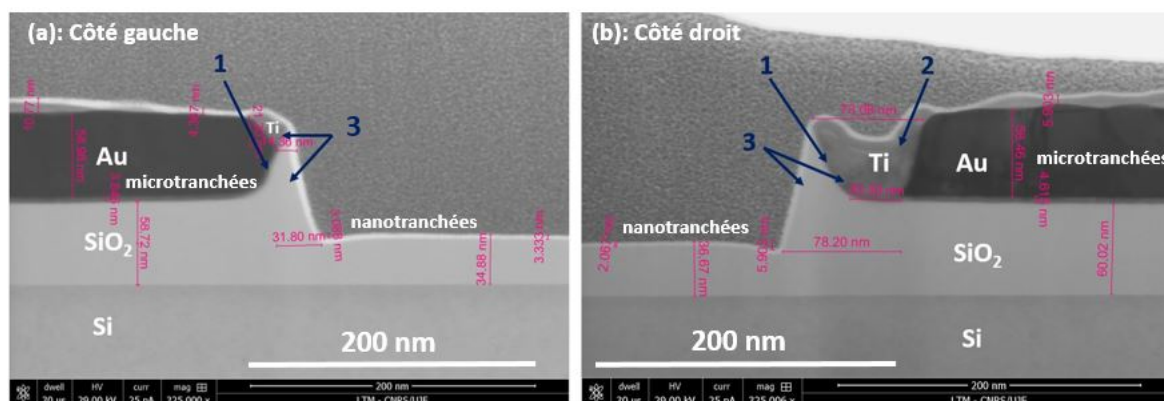


Figure 3.14 : Image en coupe FIB-STEM des flancs verticaux des tranchées à la fin du procédé : (a) côté gauche et (b) côté droit

Lors de son dépôt par pulvérisation cathodique, le titane occupe l'espace vacant sur le côté droit des microtranchées (indication 2 sur la figure 3.14). En outre, la gravure finale dans les nanotranchées ne se fait pas exactement à  $90^\circ$ , donnant aussi des profils sortants. Toutes ces imperfections de gravure et de dépôt ont laissé une couche d'oxyde qu'on appelle « mur d'oxyde » sur les flancs verticaux des cavités nanométriques (indication 3 sur la figure 3.14). Ce mur d'oxyde restant après gravure sur le côté gauche, auquel s'ajoute une couche de titane



sur le côté droit constituent évidemment un barrage aux flux des gaz précurseurs ( $\text{SiH}_4$  et  $\text{GeH}_4$ ) ; empêchant ainsi leurs réactions avec le catalyseur d'or inaccessible au fond des microtranchées.

### 3.4.3 Ajout d'une étape de gravure humide

La figure 3.15 montre une illustration schématique de l'état final des micro-et nanostructures de 100 nm de profondeur après gravure de l'oxyde des nanotranchées et avant le retrait de la résine.

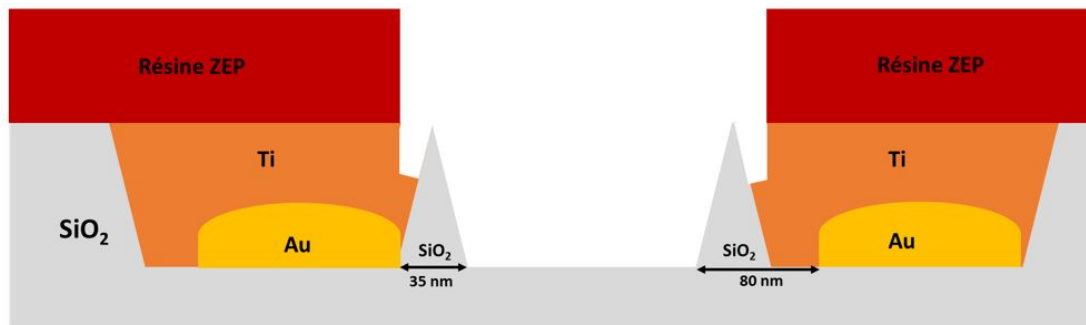


Figure 3.15 : Illustration schématique de l'état final des micro-et nanostructures de 100 nm de profondeur après gravure de l'oxyde dans les nanotranchées et avant retrait de l'électrorésine.

Une réduction de l'épaisseur de titane a été aussi observée dans la zone non protégée par la résine, comme illustré aussi sur la figure 3.15. Des études sur la gravure ont montré une sélectivité de 5 entre l'oxyde et le titane (Sélectivité = épaisseur de l'oxyde gravé / épaisseur de titane gravé =  $100 / 20 = 5$ ). La couche de titane restante ( $\sim 25$  nm) dans cette zone au-dessus du catalyseur d'or est considérée suffisante pour empêcher la croissance verticale en dehors des tranchées. Il existe aussi deux solutions technologiques afin de minimiser la réduction de l'épaisseur du métal de titane. La première sera d'optimiser les paramètres de la recette de gravure de l'oxyde, de manière à augmenter sa sélectivité vis-à-vis du titane. La deuxième consiste à diminuer la zone de titane exposée par EBL. En effet, la résine ZEP déposée protégera la surface de titane qui recevra le plasma, ce qui réduit son épaisseur gravée.

Pour permettre aux gaz précurseurs de réagir avec le catalyseur situé au fond des microtranchées, nous allons dans ce qui suit, explorer l'étape de gravure humide ajoutée au procédé avant le retrait de la résine. Cette dernière doit faire face à deux contraintes : 1) éliminer la couche d'oxyde restante sur les parois latérales et 2) ne pas réduire la couche de titane qui couvre l'or par-dessus. Pourtant, la vraie solution est de pouvoir coupler une gravure plasma de

l'oxyde qui donne des flancs verticaux avec la gravure humide. En effet, l'angle des flancs verticaux dans une gravure d'oxyde dépend de plusieurs paramètres : la pression totale de la chambre du plasma, ainsi que la puissance du « platen » et du « coil ». Dans son étude, M. Guilmain *et al.* [19] ont constaté qu'en augmentant la puissance du « coil » de 100 W à 300 W, tout en gardant une puissance du « platen » autour de 50 W, l'angle des flancs a augmenté de 84.5° à 87°.

#### A) Gravure humide avec du HF (1%)

La première approche adoptée pour la gravure humide était l'utilisation d'une solution de HF (1%) qui permet de graver l'oxyde et le titane. Le tableau 3.2 résume une série de tests réalisés avec ce type de gravure humide. La figure 3.16 (a, b) montre les échantillons après croissance. Les résultats obtenus révèlent que la solution HF (1%) est assez faible pour éliminer la couche d'oxyde qui reste sur les flancs. Toutefois, une partie du titane couvrant le catalyseur d'or a subi une réduction de son épaisseur. Ceci a contribué à la croissance des nanofils en dehors des tranchées comme observé dans la figure 3.16 (b). Cette gravure humide effectuée n'a pas pu éliminer la couche d'oxyde restante sur les parois des tranchées. C'est pour cette raison, nous allons explorer une autre solution de gravure plus adaptée au procédé, qui va permettre à la fois de graver l'oxyde et protéger la couche de titane pour éviter tout type de croissance incontrôlée.

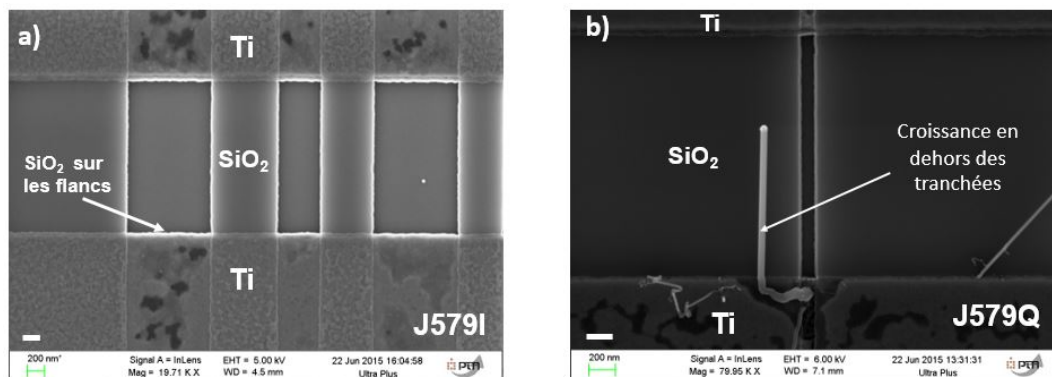


Figure 3.16 : (a) Échantillon avec gravure dip-HF seulement ; (b) Échantillon avec gravure consécutive dip-HF et H<sub>2</sub>O<sub>2</sub>. (Échelle = 200 nm)



<b>Description</b> <b>Échantillons</b>	<b>État des microtranchées : Profondeur (nm) / Épaisseur : Ti (nm) /Au (nm) /Ti (nm) avant gravure humide</b>	<b>Temps de gravure HF (1%)</b>	<b>Remarque sur la croissance</b>
<i>J579H</i>	<i>100 nm/ Ti (5 nm) + Au (50 nm) +Ti (25 nm)</i>	<i>1) 5s + Croissance directe</i>	<i>Pas de croissance dans les tranchées</i>
<i>J579I</i>	<i>100 nm/ Ti (5 nm) + Au (50 nm) + Ti (25 nm)</i>	<i>1) 10 s + croissance directe</i>	<i>Pas de croissance dans les tranchées</i>
<i>J579J</i>	<i>100 nm/ Ti (5 nm) + Au (50 nm) +Ti (25 nm)</i>	<i>2) 15 s + croissance directe</i>	<i>Croissance en dehors des tranchées</i>
<i>J579Q</i>	<i>100 nm/ Ti (5 nm) + Au (50 nm) + Ti (25 nm)</i>	<i>2) 15 s + croissance directe</i>	<i>Croissance en dehors des tranchées</i>

Tableau 3.2 : Tableau rassemblant les différents tests de gravure réalisés au cours de ce projet sur un ensemble des échantillons avec le résultat de la croissance obtenu sur chacun.

## **B) Gravure avec HF (10%) et Pad-etch**

D'autres expériences de gravure sur le SiO<sub>2</sub> ont été aussi réalisées avec une solution d'acide fluorhydrique HF (10%) et un autre mélange commercial connu sous le nom de "Pad-etch". Cette solution est composée de 11–15% NH<sub>4</sub>F + 30–34% CH<sub>3</sub>COOH + 47–51% H<sub>2</sub>O + 4,8% propylene-glycol (C<sub>3</sub>H<sub>8</sub>O<sub>2</sub>) + un surfactant avec un pH autour de 4,5–4,7 [25]. Le tableau 3.3 présente une étude comparative des vitesses de gravure d'une résine ZEP et d'une couche de Ti déposée par pulvérisation cathodique. Cette comparaison montre l'intérêt que peut apporter la solution « Pad-etch » au procédé, qui offre des faibles taux de gravure à la fois sur le titane et la résine. Il reste à vérifier son impact sur l'oxyde comparé au HF (10%). La figure 3.17 montre les vitesses de gravure sur l'oxyde et le titane en fonction du temps pour les deux solutions [HF (10%) et Pad-etch]. Le "Pad-etch" présente des meilleurs taux de gravure sur du SiO<sub>2</sub> comparé à la solution HF (10%). Cette divergence dans la vitesse de gravure peut être liée à la différence des valeurs de pH entre les deux solutions. Pour chaque valeur de pH, une concentration

spécifique en  $\text{HF}_2^-$  lui est attribuée dans la solution, qui à son tour affectera directement le taux de gravure de  $\text{SiO}_2$  [26].

	Titane	Résine ZEP	$\text{SiO}_2$
Vitesse de gravure (HF 10%)	> 900 nm/min	> 800 nm/min	50-60 nm/min
Vitesse de gravure (Pad-etch)	< 2 nm/min	< 1 nm/min	65-100 nm/min

Tableau 3.3 : Étude comparative sur les vitesses de gravure du titane et de la résine ZEP en fonction des solutions chimiques utilisées.

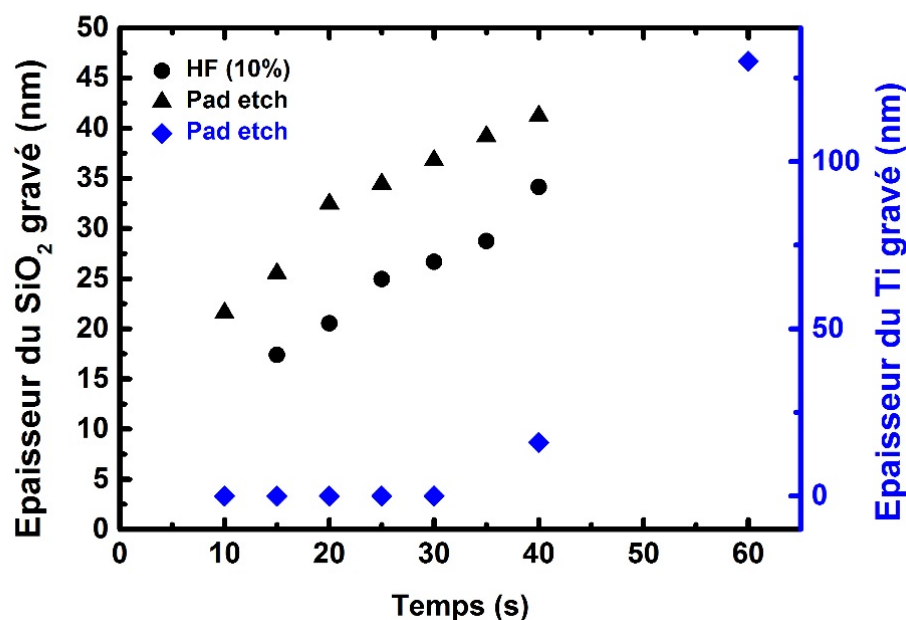


Figure 3.17 : Étude comparative des vitesses de gravure effectuée sur l'oxyde et le titane en fonction du temps.

Concernant le titane, le HF l'attaque par oxydation. Ce dernier s'oxyde rapidement dans l'eau mais grâce à la présence de dioxygène dans la solution du HF. Le surfactant dans le « Pad-etch » paraît important pour obtenir des taux de gravure faible, puisqu'il agit en tant qu'inhibiteur de corrosion. Ce dernier s'adsorbe préférentiellement sur le  $\text{TiO}_2$  et il le protégera pendant un certain temps (< 2 nm/min) à condition que l'adsorption soit plus rapide que le retrait du  $\text{TiO}_2$  par les espèces fluorées. Une fois que la vitesse d'adsorption diminue, la vitesse de gravure du titane tend vers des valeurs plus élevées (50 nm/min).

À la suite de ces observations, nous avons réalisé une gravure humide "Pad-etch" pendant 20 s sur les échantillons avant retrait de la résine. Ce temps est considéré suffisant pour enlever le

mur d'oxyde restant sur les parois latérales des tranchées. À la suite de ce traitement, un nettoyage aux solvants et au plasma d'oxygène a permis d'éliminer complètement la résine avant la croissance. Les résultats de croissance sur ces échantillons sont présentés dans le paragraphe suivant.

### 3.5 Impact des largeurs des tranchées sur la croissance des nanofils

Après les modifications apportées au procédé technologique, l'état final des cavités, à l'instar de la surface du catalyseur exposée aux gaz précurseurs sont illustrés dans la figure 3.18. Dans un mécanisme de croissance VLS, la surface de contact avec le catalyseur agit sur la dissociation des gaz précurseurs et affecte aussi leur incorporation dans ce dernier. Cette surface est égale au produit de la largeur de la tranchée par l'épaisseur d'or déposée ( $S = W \times H$ ). Plus cette surface augmente, plus la probabilité d'obtenir des nanofils dans les cavités augmente.

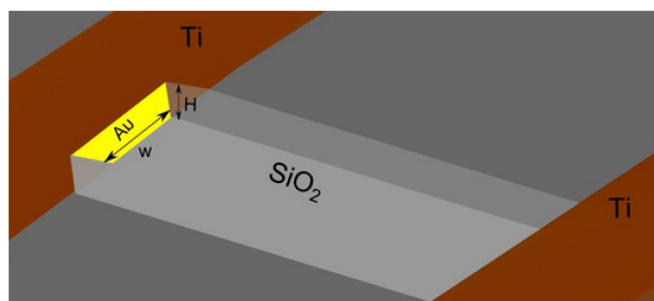


Figure 3.18 : Illustration schématique de la surface de l'or exposée au gaz précurseurs au fond des cavités d'oxyde.

Par ailleurs, des nanofils SiGe horizontaux confinés à l'intérieur des cavités d'oxyde ont été obtenus à la suite d'une croissance pendant 40 min à 450° C et sous une pression de 4,5 Torr. La figure 3.19 montre la croissance élaborée dans des cavités à plusieurs dimensions. Deux observations majeures peuvent être extraites à partir de ces images. La croissance a eu lieu dans les cavités indépendamment de leur largeur. Cette technique présentée possède le potentiel de produire des nanofils dans les tranchées, une fois que le catalyseur est exposé aux gaz précurseurs. Sur six échantillons testés ayant chacun 100 nanotranchées de largeurs différentes, le rendement des nanofils qui ont poussé à l'intérieur des cavités variait entre 5 à 10 % comme le montre le tableau 3.4.

	Nanofils Connectés (%)	Nanofils dans les tranchées non connectés (%)	Tranchées vide (%)
<b>L157A / 50 nm</b>	<b>3</b>	<b>5</b>	<b>92</b>
<b>L157B / 50 nm</b>	<b>0</b>	<b>5</b>	<b>95</b>
<b>L157C / 50 nm</b>	<b>0</b>	<b>10</b>	<b>90</b>
<b>L157D / 50 nm</b>	<b>3</b>	<b>7</b>	<b>90</b>
<b>L157F / 50 nm</b>	<b>2</b>	<b>5</b>	<b>93</b>
<b>L157H / 50 nm</b>	<b>0</b>	<b>7</b>	<b>93</b>

Tableau 3.4 : Nom des échantillons testés et l'épaisseur du catalyseur d'or dans chacun avec le rendement obtenu pour les nanofils connectés, non connecté et les tranchées vides.

La présence d'un grand nombre des tranchées vides est probablement dûe au temps de gravure humide utilisé. En effet, ce temps n'est pas suffisamment long pour éliminer toute la couche d'oxyde sur une majorité des tranchées (voir annexe). Néanmoins et sur d'autres nanotranchées, ce temps était assez suffisant pour éliminer l'oxyde et exposer le catalyseur. Ceci a abouti par la suite à la croissance des nanofils comme le montre la figure 3.19.

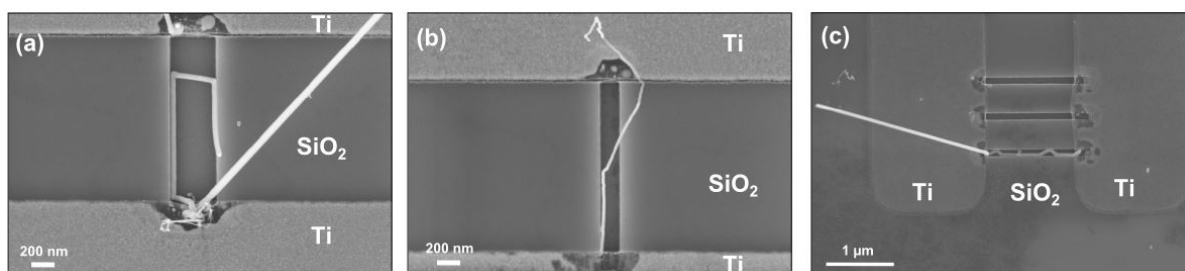


Figure 3.19 : Croissance guidée des nanofils dans des cavités à plusieurs dimensions : (a) largeur de 500 nm, (b) largeur de 200 nm et (c) largeur de 100 nm.

D'après ces différentes observations, les nanofils ont cru dans différentes largeurs des tranchées. Avec des dimensions supérieures à 100 nm, tous les nanofils ont subi une déviation en dehors ou à l'intérieur des parois latérales comme montré dans la figure 3.19 [a (500 nm de large) et b (200 nm de large)]. De manière générale et pour obtenir des nanofils qui ne dévient pas à l'intérieur des tranchées, les diamètres de ces dernières doivent être suffisamment proches de l'épaisseur de la couche de catalyseur déposé pour favoriser les guidages de ces nanofils. Différents phénomènes physiques telles que la chimie et la rugosité de la surface, l'adhésion et la température peuvent affecter ces forces de contact qui existent entre les parois latérales et le

catalyseur liquide [12]. Ces forces adhésives permettent de maintenir le nanofil à l'intérieur de la cavité, contribuant ainsi à sa connexion entre les électrodes. Grâce à ces observations, il convient de noter qu'une croissance confinée non coudée d'un seul nanofil de 50 nm de diamètre est la plus appropriée avec une largeur de tranchée maximale égale à 100 nm (figure 3.19 – (c)), d'où la corrélation qui relie les largeurs des cavités et l'épaisseur de catalyseur déposée :

$$L_{\max} = 2 \times e_{\text{or}}$$

À la fin de ce procédé de fabrication, des nanofils guidés dans les cavités ont été obtenus. La corrélation ( $L_{\max} = 2 \times e_{\text{or}}$ ) entre l'épaisseur des catalyseurs et les dimensions des cavités, a permis à un seul nanofil de connecter les électrodes prédéfinies (figure 3.19 – (c)), sans aucune déviation à l'intérieur ou à l'extérieur des tranchées. Des optimisations peuvent être apportées à ce procédé afin d'augmenter le rendement de croissance : 1) Ajuster la recette de gravure plasma de l'oxyde afin d'obtenir des flancs de 90° à la fois dans les micros-et nanotranchées et 2) la coupler avec un temps de gravure humide (dans le pad etch) plus élevé.

### 3.6 Caractérisations électriques des nanofils connectés

Les caractérisations électriques à température ambiante des nanofils connectés ont été obtenues à l'aide d'un analyseur de paramètres électriques (Keithley 4200). Ces caractéristiques révèlent la présence d'un contact électrique redresseur (type Schottky) pour un nanofil SiGe intrinsèque localisé entre les électrodes en titane, comme le montre la figure [(3.20-(d)]. Ce comportement Schottky observé caractérise la nature du contact semi-conducteur (SC) et un métal [27].

Il a été démontré ainsi [28] que la résistance globale de ce contact Schottky est limitée à celle des contacts S/D, puisque la résistance intrinsèque du nanofil est négligeable devant celle des contacts, avec  $R_{\text{CTOT}} = R_D + R_{\text{NF}} + R_S = R_D + R_S$  (où  $R_{\text{TOT}}$  : résistance totale du contact Schottky,  $R_D$  : résistance du contact du drain,  $R_S$  : résistance du contact de la source,  $R_{\text{NF}}$  : résistance du nanofils). Pourtant, cette résistance globale diffère suivant le signe de la tension appliquée au drain, révélant ainsi une dissymétrie électrique de contacts utilisés en tant que source et drain (figure 3.20-d). La résistance de contact  $R_c$  entre un nanofils semi-conducteur et un métal est exprimée par la relation suivante [29] :

$$R_c = \frac{K_B}{q.A^*.T.S} e^{\frac{q.\Delta\varphi}{K_B.T}} \quad (\text{Eq. 3.1})$$

Avec  $K_B$  la constante de Boltzmann,  $q$  la charge électrique,  $A^*$  la constante de Richardson,  $S$  la surface de contact,  $T$  la température et  $\Delta\varphi$  la hauteur de la barrière Schottky formée à la suite de la mise en contact des deux matériaux s'opposant ainsi au passage des électrons. Cette dissymétrie électrique peut être liée alors à une couverture non uniforme de l'électrode titane qui connecte le nanofil, à laquelle s'ajoutent des mécanismes de transport qui fluctuent d'un contact à l'autre (hauteur de barrière différente, états d'interface non uniforme, dopage intrinsèque différent de chaque côté qui engendre un courant tunnel varié).

Afin de réduire les résistances de contact entre un semi-conducteur et un métal, deux approches peuvent être appliquées. La première approche consiste à doper le canal pour favoriser le passage du courant tunnel, à travers la barrière de potentiel [30]. Zheng *et al.* [31] ont montré l'effet du dopage au phosphore sur des nanofils de silicium. Il a permis de réduire les résistances d'accès de contact S/D et augmenter par la suite la transconductance. Mais la jonction obtenue lors du dopage des nanofils n'est pas abrupte, ce qui amène à des difficultés concernant la maîtrise de la longueur du canal dans le transistor. En plus, quand le dopage augmente, la mobilité des porteurs se dégrade à cause de l'augmentation de la fréquence des interactions coulombiennes ( $1/\tau_{cb}$ ). Néanmoins, le dopage des extrémités des nanofils n'est pas si facile, car il nécessite une ingénierie complexe ou un dopage localisé très performant [32]. C'est pour cette raison qu'il faut faire un choix entre les niveaux de dopage pour obtenir des faibles résistances de contact et un matériau peu dopé pour une grande mobilité des porteurs [33].

La deuxième approche consiste à diminuer la hauteur de barrière Schottky grâce à des procédés de siliciuration du matériau constituant le contact. Ceci permet d'obtenir une phase faiblement résistive, ce qui va favoriser le passage des porteurs. Cette méthode sera exploitée en détails dans le chapitre 4.

En comparant ce travail effectué à celui de la littérature présentée dans le chapitre 2, nous remarquons que ce procédé a permis de guider la croissance des nanofils sur un substrat amorphe [34] tout en offrant la possibilité de les caractériser directement entre des électrodes prédéfinies, sans avoir recours à des étapes supplémentaires pour réaliser les plots de contacts S/D [35].

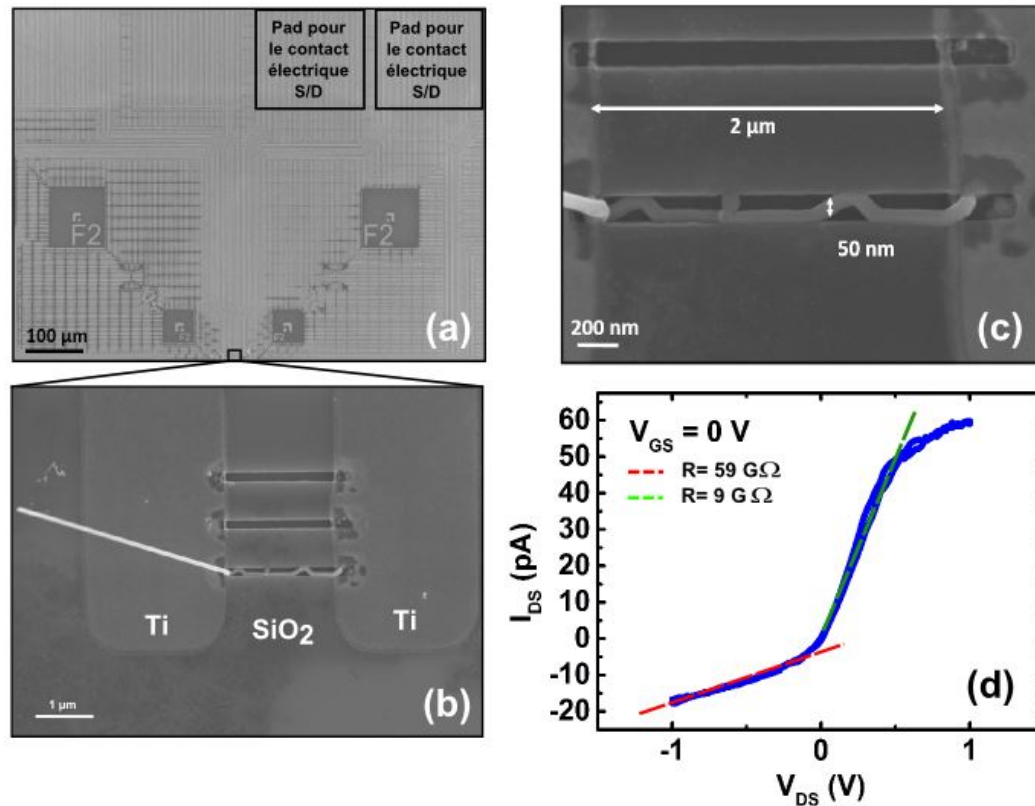


Figure 3.20 : Images SEM de : (a) Plots de contact S/D (en carré) pour la mesure électrique ; (b) Nanofil SiGe cru par VLS et confiné à l'intérieur d'une cavité d'oxyde entre les électrodes prédéfinies de titane ; (c) Zone agrandie de (b) montrant les dimensions du nanofil dans une tranchée de 100 nm de largeur et 2 μm de long. (d) Caractéristiques  $I_{DS}$ - $V_{DS}$  du dispositif à nanofil SiGe intrinsèque connecté.

	A. Lecestre <i>et al.</i> [35]	B. Salem <i>et al.</i> [36]	Cette étude
<b>Confinement de la croissance pour des nanofils guidés</b>	<b>Oui</b>	<b>Non</b>	<b>Oui</b>
<b>Caractérisation électrique directe entre des électrodes prédéfinies</b>	<b>Non</b>	<b>Oui</b>	<b>Oui</b>

Tableau 3.5 : Positionnement de cette étude par rapport à d'autres études précédentes concernant la croissance des nanofils horizontaux sur un diélectrique amorphe.

### 3.7 Amélioration du procédé et importance du polissage mécano-chimique

Nous avons également observé des nanofils en dehors des tranchées sur la majorité des échantillons. Ce type de croissance « parasite » non voulu est considéré comme un obstacle majeur qui empêche tout développement des transistors. Ces nanofils à l'extérieur des tranchées vont relier les chemins d'amenés des électrodes, créant ainsi des courts-circuits (figure 3.21).

Cette croissance existe sur l'échantillon puisqu'une partie de l'or se trouvant sur les bords des microstructures est non couverte par du titane après CMP. Il a été démontré dans la section « 3.4.1 Procédé de fabrication » qu'un surplus d'or se dépose sur les flancs verticaux des microtranchées. Le problème de ce procédé reste dans la déposition d'or sur les flancs des tranchées. Avec un dépôt est un peu conformable et une évaporation directionnelle, le moindre désalignement produira un léger gap sur les côtés, et qui sera rempli de Ti.

Une fois dans la machine CVD, une partie de ce surplus se décompose en des gouttelettes d'or qui vont agir comme des sites pour la croissance des nanofils. Pour éviter ce type de croissance parasite, des solutions sont proposées dans le paragraphe suivant.

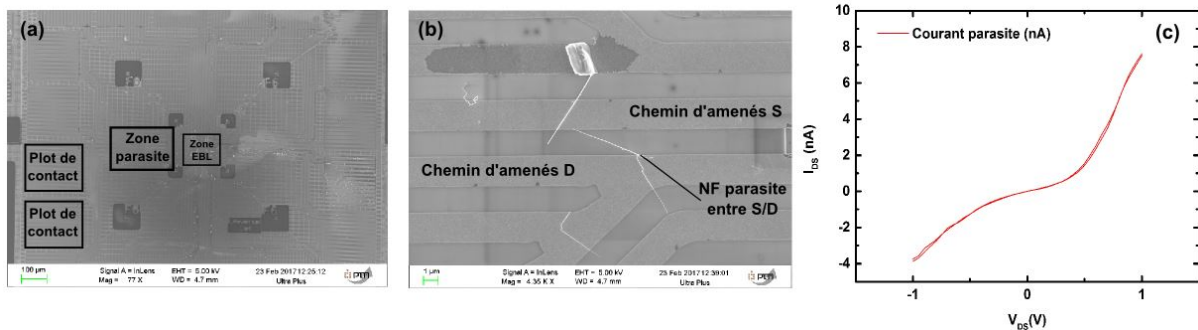


Figure 3.21 : Image SEM de : (a) La cellule universelle dans laquelle une croissance des nanofils parasite a eu lieu en dehors des tranchées ; (b) Zone parasite agrandie où un nanofil parasite relie les chemins d'amenés des S/D ; (c) Courant attribué au nanofil parasite obtenu entre les chemins d'amenés.

Afin d'améliorer le procédé et éviter la croissance parasite, nous avons décidé d'explorer une autre piste technologique. Elle consiste à ajouter ou modifier les étapes dans l'esprit d'une intégration directe des nanofils. Dans ce contexte de développement, nous présenterons une méthode qui consiste à intégrer le polissage mécano-chimique (CMP) de l'or dans le procédé. Cette option remplace l'étape de soulèvement de l'or par une étape de CMP. Par conséquent, elle ouvre la voie vers une intégration adaptée de ce procédé au contexte industriel, étant donné que la CMP est déjà utilisée dans le FEOL et le BEOL d'un procédé de fabrication des circuits intégrés. Elle permettra après le dépôt direct de l'or et de titane sur la surface, de les éliminer de la surface en les gardant uniquement dans les tranchées, ce qui réduira ainsi la possibilité d'obtenir des nanofils en dehors des tranchées. Cette piste d'amélioration est représentée dans la figure 3.22.



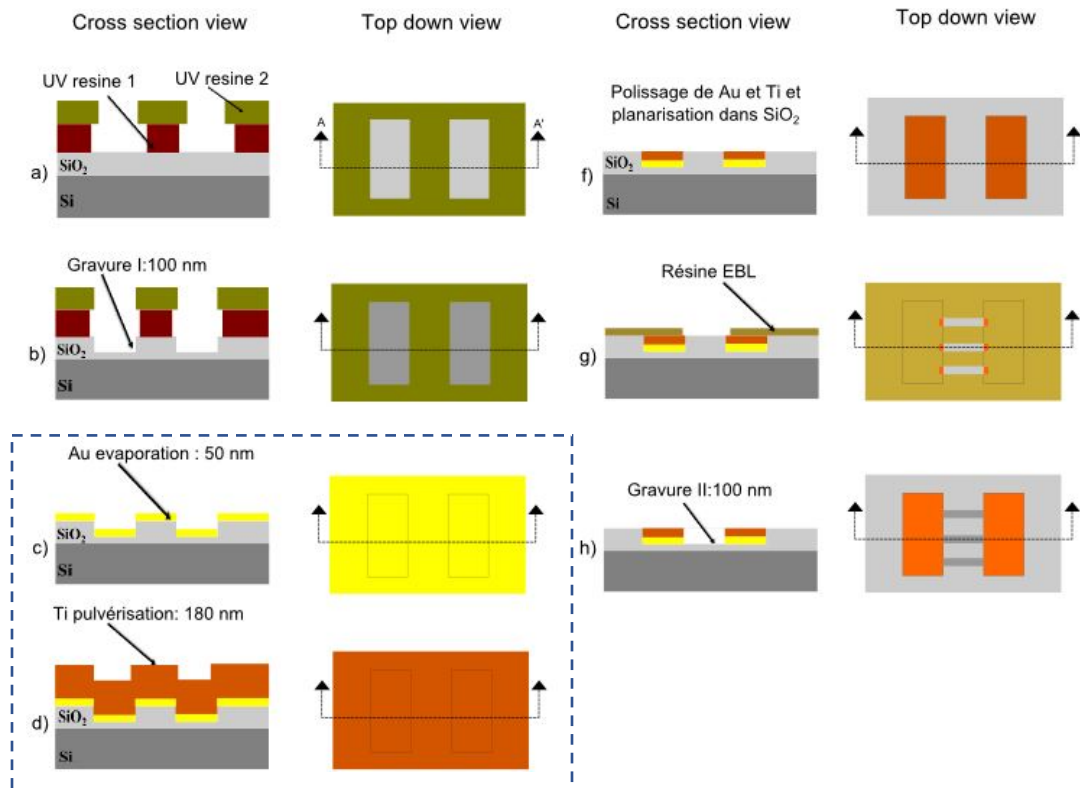


Figure 3.22 : Approche pour éliminer la croissance « parasite » à l'aide d'une étape de CMP après la gravure des microstructures. Le carré représente les étapes modifiées par rapport au procédé initial.

Ce choix réside du fait que l'étape de soulèvement rend le développement du procédé initial moins fiable, ainsi que son intégration dans des applications industrielles futures impossible. D'un autre côté, la CMP est une technique qui est largement utilisée dans l'industrie de la microélectronique. Elle intervient dans la fabrication des grilles métalliques pour les nœuds technologiques avancés des transistors CMOS [37], ainsi que dans la réalisation des interconnexions et des dispositifs dans le Back-end of line (BEOL) [23]. A l'heure actuelle, la gravure plasma du matériau d'or continue à faire face à des difficultés technologiques dues à sa haute stabilité chimique, tandis que les solutions de gravure humide fournissent moins de contrôle à l'échelle nanométrique. À cause de ces difficultés majeures, les procédés damascènes utilisant la CMP peuvent constituer une autre stratégie afin de contrôler l'épaisseur de ce matériau dans les plateformes de fabrication des micros-et nanostructures.

### 3.8 Présentation de l'équipement et états de l'art sur la CMP de l'or

La CMP est un processus basé sur une synergie entre les forces chimiques et mécaniques. La figure 3.23 illustre les différents éléments qui composent une machine de CMP. Elle comporte une tête « Head » tournante qui sert à porter les échantillons et à les presser sur un plateau rotatif « Platen » recouvert d'un tissu à base de polyuréthane « Pad ». Ce dernier permet l'apport d'une solution chimique en suspension « slurry » qui entre en contact avec le substrat.

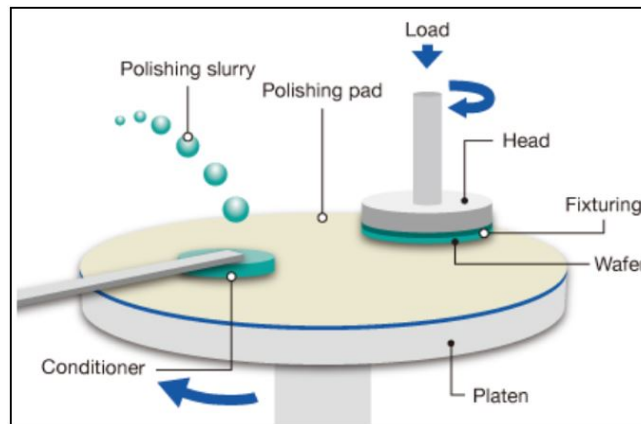


Figure 3.23 : Illustration schématique d'une machine de CMP. (Sensofar USA)

Cette solution contient des agents chimiques et des nanoparticules abrasives qui agissent sur la surface modifiée du substrat et éliminent par la suite le matériau ciblé.

Il existe aussi un autre type de pad pour le conditionnement « Conditionner » dont la fonction sera de nettoyer le tapis (pad) des résidus des nanoparticules restantes avant chaque opération de CMP et ouvrir les microporosités qui se trouve sur le pad. Le conditionnement qui peut se faire in-process ou entre chaque polissage permet également d'augmenter la durée de vie des pads et d'obtenir des propriétés de polissage ou de planarisation constantes en fonction du nombre et de la durée d'opération. Le principe de fonctionnement de la CMP repose sur la loi de Preston, avec :

$$RR = K_p \cdot P \cdot v \quad (\text{Eq. 3.2})$$

où  $K_p$  est une constante qu'on appelle coefficient de Preston et qui diffère suivant l'équipement utilisé ;  $P$  est la pression appliquée et  $v$  est la vitesse de rotation linéaire du plateau.

Le procédé de CMP est généralement conçu pour accomplir différents types de tâches : Il permet le polissage de la surface des matériaux déposés sur un échantillon et contribue à la planarisation de ces matériaux à l'intérieur des structures d'oxyde gravées. Nous allons en premier lieu présenter un résumé sur l'état de l'art de la CMP de l'or. En effet, La CMP sur les couches d'or

sont très rares [37] [20] [38]. Celle qui est établie par Karbasian *et al.* [20] se trouve être la plus intéressante pour notre application. Ils ont en premier lieu inspecté l'effet de slurry avec des rapports de dilution différente (rapport de  $H_2O_2$  avec Ultra sol A20) et différentes combinaisons de surfactant (ioniques et anioniques) sur le taux de gravure de l'or. À la suite de cette étude, ils ont conclu que la réduction de la quantité du peroxyde d'hydrogène ( $H_2O_2$ ) mélangée à un slurry à base d'alumine avec d'iodure de potassium (Ultra sol A20) a permis de réduire la gravure statique de l'or, tout en augmentant son taux de gravure lors du polissage. La nature des surfactants ajoutés à la solution a été aussi traitée en détails au cours de cette étude. Ils concluaient que les deux types de surfactants ajoutés (ioniques et anioniques) doivent être compatibles ensemble pour obtenir une solution stable. En effet, l'ajout des adjuvants contribue à la stabilité de la solution colloïdale en empêchant les particules abrasives de se coaguler. La solution finale et optimale utilisée a permis la gravure de l'or avec une vitesse égale à 63 nm/min. Cette solution contient deux types de surfactants (4.14 g de SDS avec 3.5 ml de Tween 80) ajoutés à un mélange de 1200 ml contenant d'Ultra sol A20 avec  $H_2O_2$  pour un ratio de volume 1 :1. Ils ont effectué par la suite la CMP de l'or sur des larges tranchées (10  $\mu m$  pour les lignes et 150  $\mu m$  pour les plots de contacts). Ils ont étudié ainsi la planarisation de ces microstructures d'or dans l'oxyde, en fonction de la densité des motifs existants sur le substrat. La figure 3.24 montre les différents plots et lignes planarisées au cours de cette étude.

Toutes les études de la CMP sur l'or ont évoqué pour l'instant la planarisation sur des structures larges d'ordre micrométriques, sans aucun travail mentionné sur les nanostructures. De plus, aucune de ces études n'a évoqué le facteur de la sélectivité entre l'or et l'oxyde en fonction des paramètres de polissage. Cette étude des paramètres est primordiale pour déterminer la sélectivité Or/oxyde, qui est un facteur essentiel dans l'étude de retrait de l'or de la surface, ainsi que sa planarisation dans des structures enterrées dans l'oxyde.

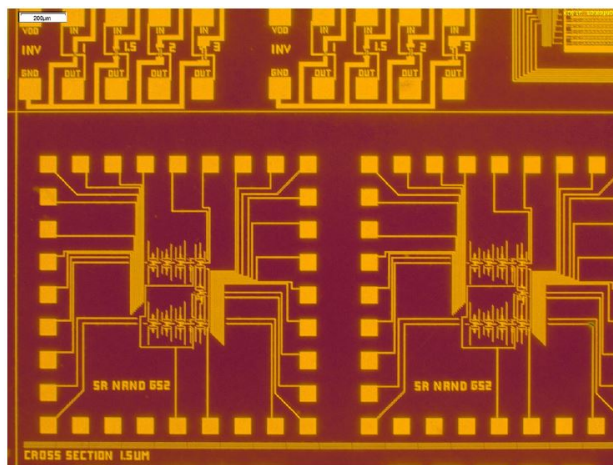


Figure 3.24 : Résultat obtenu sur la CMP de l'or en utilisant des surfactants (4,14 g de SDS + 3,5 ml de Tween 80) ajouté à 1200 ml d'Ultra Sol A20 : H<sub>2</sub>O<sub>2</sub> pour un rapport 1 :1 [20].

### 3.9 La CMP de l'or : vers un procédé adaptable au contexte industriel

Dans cette partie du manuscrit, nous allons exploiter la méthodologie développée afin de pouvoir intégrer la CMP de l'or dans le procédé technologique. Nous allons présenter en détails l'étude effectuée sur le taux de gravure en fonction des différents paramètres de CMP ; tel que la pression appliquée, la vitesse de rotation du plateau et le débit de slurry. L'effet de polissage sur la topographie de la surface d'or a été aussi évoqué. Nous explorons par la suite la méthodologie suivie pour la création des micros-et nanostructures d'or dans l'oxyde. Finalement, nous montrerons les premiers résultats de la CMP sur l'or et le titane dans le procédé mis en place dans la section 3.8 pour éviter le problème de la croissance parasite.

#### 3.9.1 Calibration des vitesses d'amincissement et de la sélectivité

Dans ce projet de recherche, l'équipement de CMP utilisé est un bâti commercialisé par la société « *Alpsitec* ». Il possède une tête qui permet de travailler avec des échantillons de petite taille (1 x 1 cm<sup>2</sup>). Le pad IC 1000 est un tissu à base de polyuréthane dont la surface est préparée avant chaque opération de polissage ou de planarisation avec un outil de conditionnement ayant

des inclusions de diamant. Le slurry Ultra Sol A20 choisi pour ces expériences est une solution commerciale à base d'alumine, avec de l'iodure de potassium ajouté et un  $\text{pH} = 4$ . La taille moyenne de ses particules abrasives est de 240 nm et représente 15% de la masse totale de la solution. Le mélange de slurry est le même que celui utilisé dans l'étude de Karbasian *et al.* Il est constitué des surfactants (2,07 g de SDS avec 1,75 ml de Tween 80) ajoutés à 600 ml d'Ultra Sol A20 et de  $\text{H}_2\text{O}_2$  dans un ratio de volume 1 : 1. Les expériences de CMP ont été élaborées sur des échantillons silicium de  $1 \times 1 \text{ cm}^2$  avec un oxyde thermique de 150 nm déposé par-dessus via une oxydation thermique. Afin d'extraire la vitesse de gravure sur l'or, un dépôt d'une couche adhésive de 5 nm de titane suivie de 100 nm d'or a été effectué sur ces échantillons. Les épaisseurs d'or ont été évaluées à l'aide des mesures SEM en section transversale avant et après CMP, alors que l'épaisseur du  $\text{SiO}_2$  a été mesurée par ellipsométrie.

Nous avons tout d'abord commencé par étudier l'effet des différents paramètres de CMP sur la vitesse d'amincissement des matériaux (MRR) ainsi que sur la sélectivité, qui constitue un critère essentiel pour contrôler la planarisation des métaux dans l'oxyde de silicium [39]. La figure 3.26 représente les vitesses d'amincissements (MRR) de l'or et de l'oxyde de silicium, ainsi que la sélectivité en fonction de la pression appliquée, pour une vitesse et un débit de slurry fixes à 30 tr/min et à 25 ml/min respectivement. Le plateau et la tête tournent dans le même sens avec des valeurs de vitesses proches, pour toutes les recettes utilisées. Les barres d'erreur sur les MRR de l'or sont relatives à la méthode de mesure de l'épaisseur d'or restante après CMP, et ne reflètent pas une inhomogénéité du polissage à travers les échantillons.

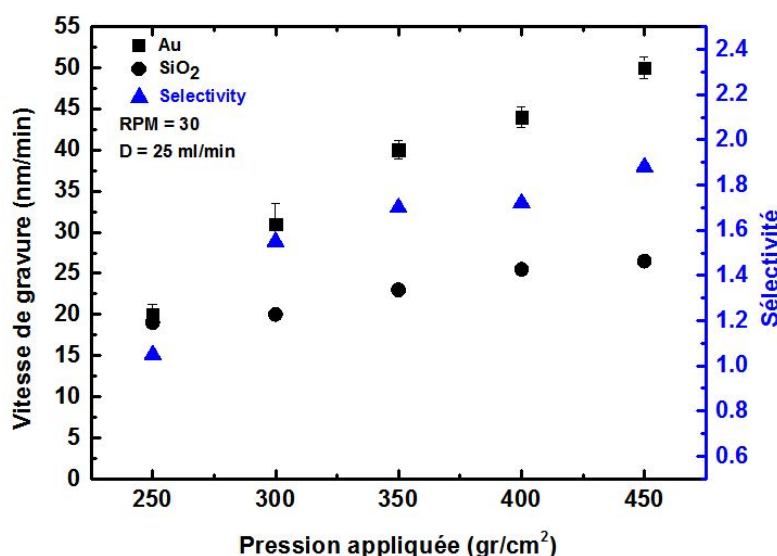


Figure 3.25 : Valeur moyenne des vitesses d'amincissement sur l'or et l'oxyde de silicium ainsi que la sélectivité en fonction de la pression appliquée.

Cette épaisseur d'or obtenue après polissage est calculée en fonction de la moyenne de 15 mesures SEM (vue en coupe), effectuées sur chaque échantillon. Les barres d'erreur représentent l'écart-type autour de cette valeur moyenne.

Suite à ces observations, les deux matériaux ont montré une progression linéaire de leur vitesse d'amincissement d'une manière conforme à la loi de Preston ( $RR = K_p.P.v$ ) [39]. Mais l'or présente de son côté un taux d'élimination supérieur à l'oxyde pour chaque valeur de pression. Ce phénomène est obtenu car l'or est un matériau plus doux que le  $SiO_2$ . En effet, la dureté des matériaux représente la résistance à l'abrasion. Plus ce matériau est dur, plus son polissage devient lent. Sur l'échelle de « Mohs », la dureté de matériau de l'or est entre 2.5 et 3, alors que l'oxyde est à 7. De plus la charge positive des particules abrasives d'alumine qui existent dans un environnement de solution acide favorise l'attraction de ces particules vers les particules d'or chargées négativement [40]. Ceci permet alors d'obtenir des taux d'amincissement supérieurs sur l'or que sur l'oxyde de silicium.

L'effet de la vitesse de la rotation du plateau sur la gravure de l'or et de l'oxyde pour une pression fixe appliquée à  $300 \text{ gr/cm}^2$  et un débit de slurry à  $25 \text{ ml/min}$  est aussi montré dans la figure 3.26. De la même manière, l'or et l'oxyde montrent tous les deux un comportement linéaire conformément à la loi de Preston. Cette abrasion a également abouti à une augmentation plus rapide du taux de polissage de l'or par rapport à celui de l'oxyde. Une sélectivité d'environ 2 est obtenue à  $50 \text{ tr/min}$ .

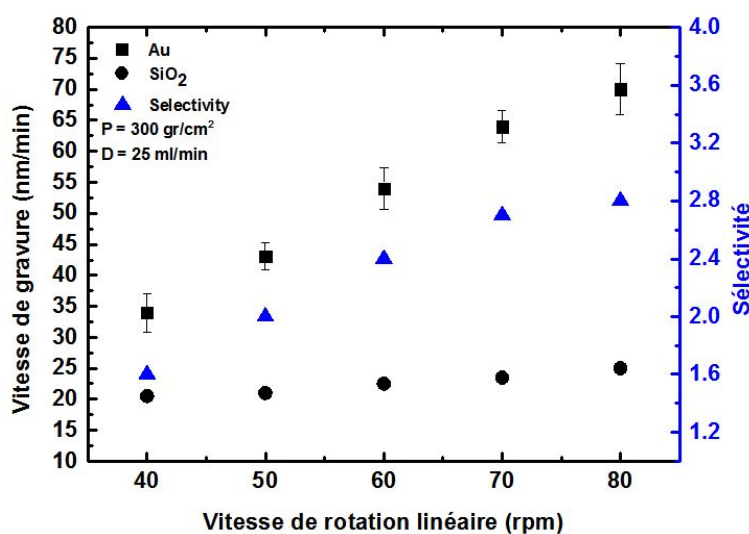


Figure 3.26 : Valeur moyenne des vitesses d'amincissement sur l'or et l'oxyde de silicium ainsi que la sélectivité en fonction de la vitesse de rotation du plateau.

Finalement, l'effet du débit slurry a été aussi investigué. Augmenter le débit favorise l'injection d'un nombre accru des particules abrasives qui flottent entre l'échantillon et le pad. Ceci a un effet direct sur l'abrasion mécanique des deux matériaux comme le montre la figure 3.27. Pourtant le MRR du SiO<sub>2</sub> ne change pratiquement pas en fonction du débit de slurry. Le surfactant anionique (Tween 80) qui existe dans la solution, joue un rôle essentiel dans la prévention de l'abrasion de SiO<sub>2</sub>. Sa capacité de s'adsorber sur la surface permet de fournir une couche de passivation sur le diélectrique [20] ce qui permet de retarder son élimination par les particules abrasives et augmenter sa sélectivité par rapport au métal.

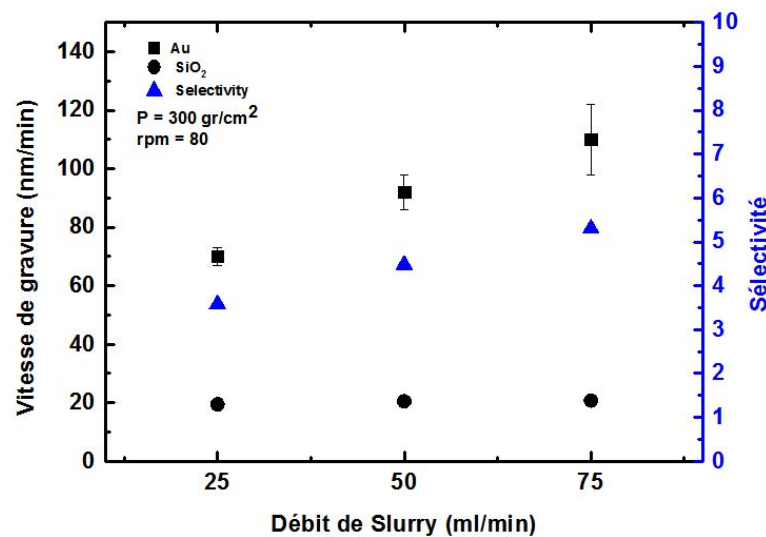


Figure 3.27 : Valeur moyenne des d'amincissement sur l'or et l'oxyde de silicium ainsi que la sélectivité en fonction du débit de slurry.

### 3.9.2 Effet de la CMP sur la surface d'or polie

La fonction de la CMP n'est pas limitée seulement à la gravure du matériau, mais aussi à son polissage et à sa planarisation dans des structures d'oxyde. Nous allons examiner dans cette partie l'impact de la CMP sur la qualité de la surface d'or polie, préparée sur des substrats d'oxyde de silicium de petites tailles (1 x 1 cm<sup>2</sup>). Nous utiliserons ainsi la calibration des vitesses d'amincissement afin d'éliminer ~ 35 nm d'épaisseur d'or dans une opération de CMP qui dure 60 s.

Des mesures AFM (microscope à force atomique) avant et après CMP sont effectuées sur différentes régions de l'échantillon dans une surface de 10 x 10 μm<sup>2</sup>. Ces observations ont indiqué des valeurs de rugosité (RMS) variables entre 0,8 nm à 1,4 nm dans les deux cas. La figure 3.28 montre cette topographie de surface avant et après CMP.



À la suite de ces mesures AFM, il a été conclu que le procédé de CMP développé ne détériore pas la topographie de surface, même si des rayures sont présentes sur les couches d'or. Ces rayures qui ont tendance à apparaître sur une grande surface, peuvent être liées à la distribution des particules abrasives dans la solution de slurry [41], ou à des particules d'or détachées du bord de l'échantillon et qui rayent la surface de ce dernier. Afin de réduire la présence de ce type de rayures, une solution de slurry à base de silice peut être utilisée après chaque polissage utilisant un slurry à base d'alumine [41][37].

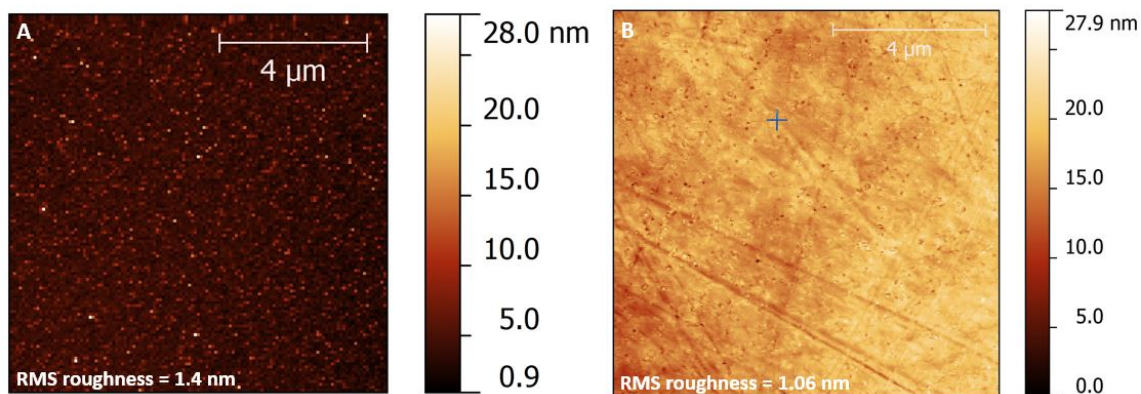


Figure 3.28 : Mesure AFM de la topographie de la surface d'or (a) avant CMP et (b) après CMP.

### 3.9.3 Planarisation des structures et les profils inversés

Un schéma simplifié d'un procédé « *damascène* » développé cette fois pour fabriquer en une seule étape des micros - et nano-structures d'or est illustré dans la figure 3.30. Tout d'abord, un oxyde thermique de 150 nm d'épaisseur est élaboré sur des substrats de silicium. Ensuite, des microstructures de 60 nm de profondeur sont créées dans le diélectrique à l'aide d'une photolithographie suivie d'une gravure plasma [19]. Une lithographie électronique (EBL) et une autre gravure plasma sont utilisées pour fabriquer cette fois ci des nanostructures dans la couche d'oxyde de 50 nm de profondeur alignées entre des structures plus larges délimitées par la lithographie UV.

Après, 5 nm de titane suivi de 150 nm d'or ont été déposés par évaporation de manière à remplir complètement les tranchées. Différentes étapes de CMP permettent en premier lieu d'éliminer l'excès d'or de la surface et d'aplanir par la suite dans les différentes cavités de l'oxyde. L'étude



élaborée précédemment sur la sélectivité entre les deux matériaux a fourni des informations importantes pour contrôler la planarisation à l'échelle nanométrique.

La recette de planarisation utilisée est :  $P = 300 \text{ g/cm}^2$  ;  $v_{\text{plateau}} = 50 \text{ rpm}$  ;  $v_{\text{tête}} = 40 \text{ rpm}$  ;  $D_{\text{slurry}} = 25 \text{ ml/min}$  ;  $\text{Au MRR} = 40 \text{ nm/min}$  ;  $\text{SiO}_2 \text{ MRR} = 20 \text{ nm/min}$ . Elle fournit une sélectivité égale à deux entre l'or et l'oxyde ( $S_{\text{or/oxyde}} = 2$ ). L'opération de la planarisation des structures a été réalisée en 180 s pour atteindre le point final  $t_0$ . Ce temps optimal a été ajusté en fonction de plusieurs essais faits sur des échantillons tests en amont. La vérification du retrait total de l'or et de la couche adhésive du titane a été évaluée à l'aide des imageries SEM et des caractérisations électriques.

Dans un procédé industriel avec des substrats 300 mm, la détection de fin d'attaque se fera lors de la transition d'une surface complètement couverte par de l'or (100% Au) à une surface Ti/Au, puis  $\text{SiO}_2/\text{Au}$  grâce à des mesures de température, de spectroscopie ou de courant du moteur.

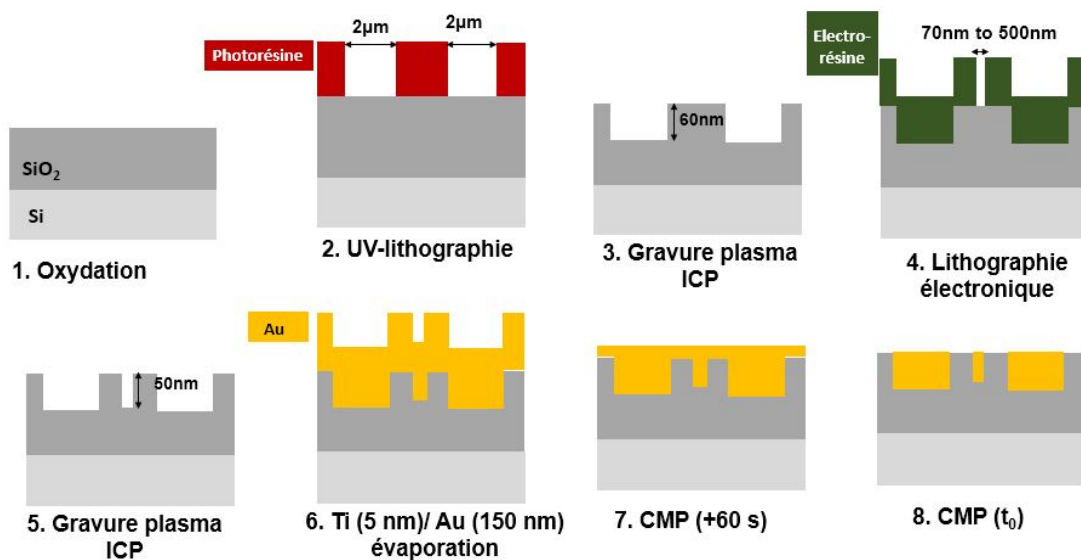


Figure 3.29 : Illustration schématique du procédé damascène pour la planarisation des micro-et nanostructures.

À la fin de ce procédé, des mesures AFM ont été réalisées sur ces micro- et nano-structures pour évaluer leur planarisation comme le présente la figure 3.30.

Toutes les nanostructures d'or ont montré une bonne planarité inférieure à  $10 \text{ nm}$  (figure 3.30- a, b). Des microstructures d'or aplanies dans l'oxyde avec des profils inversés [microstructures d'or vs niveau de l'oxyde (figure 3.30- c, d)] entre  $25 \text{ nm}$  et  $30 \text{ nm}$  ont été aussi mesurées même dans le procédé développé (paragraphe 3.9.3). En effet la hauteur de l'or à l'intérieur de ces microstructures dépasse la surface du diélectrique amenant à des profils inversés, malgré que la

sélectivité entre eux est égale à 2 ( $MRR_{Au} = 2 \times MRR_{SiO_2}$ ). La raison derrière ce phénomène peut être attribuée au fait que l'or se décroche/délamine de la surface de l'oxyde. Des tests avec une modification de l'épaisseur de la couche d'adhérence (15 nm de titane au lieu de 5 nm), sa nature (10 nm de Cr, 10 nm de Ni), ainsi que l'utilisation d'un autre outil de dépôt ont tous conduit vers le même résultat de profils inversés. Suite à ces différentes observations, l'or se détachait de la surface d'oxyde à des niveaux proches de  $t_0$ , pour une épaisseur autour de 30 nm. Il est totalement retiré de la surface de l'oxyde, même avant que son polissage dans les microstructures soit accompli. Des bosses autour de 25 nm ont été détectés dans les microstructures. Après toutes ces investigations, cette délamination de l'or de la surface peut être relative à la qualité et la pureté du matériau lui-même, dans lequel des faibles liaisons se développent à l'intérieur de ce dernier sans être visible en surface [42].

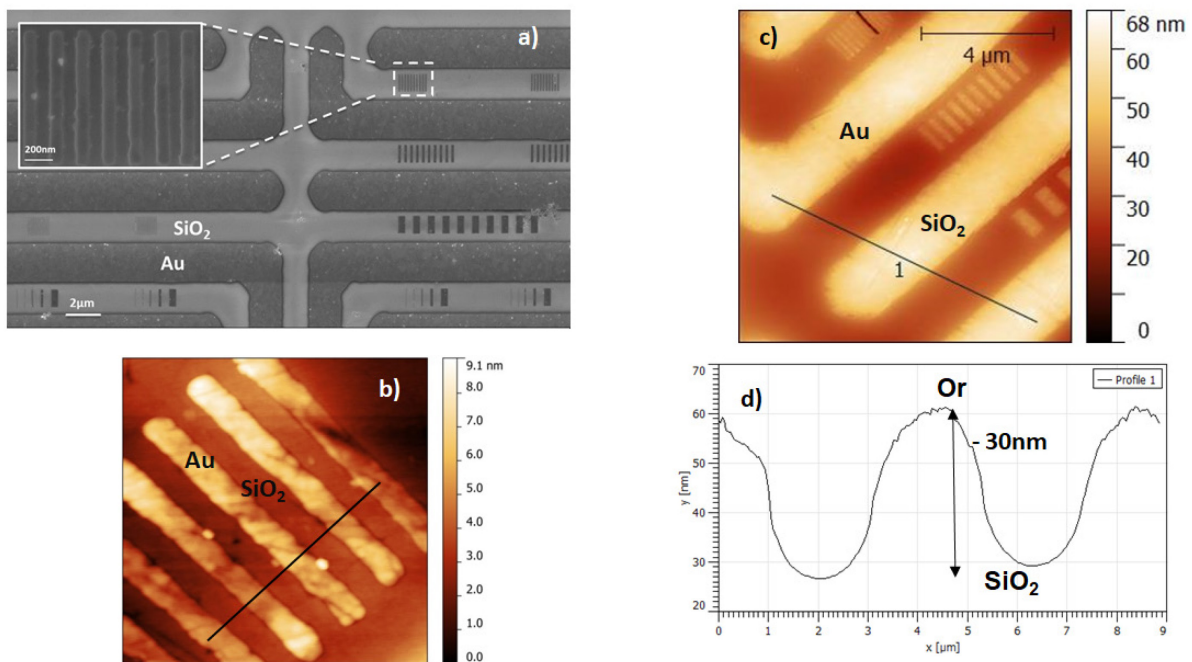


Figure 3.30 : (a) Image SEM des micros-nanostructures d'or planarisées dans l'oxyde. AFM des (b) nanostructures en or de 100 nm de large et (c) microstructures en or de 2 μm de large, après l'étape de planarisation. (d) Mesure profilométrique des microstructures d'or montrant les profils inversés.

De plus, il a été démontré que les précurseurs de gaz peuvent être une source de contamination contenant un pourcentage de carbone élevé, ce qui affectera la pureté de l'or déposé [43]. Différentes techniques ont été utilisées après dépôt pour purifier les matériaux et réduire ainsi les défauts [44] telles que : le recuit du matériau déposé [45], le chauffage du substrat [46], le

dépôt assisté par laser [47], le durcissement par faisceau d'électrons [48] et l'exposition à l'eau [49] et au flux d'oxygène [50].

### 3.9.4 La CMP de l'or et du titane dans le procédé technologique

L'idée ici était de remplacer l'étape de soulèvement par une étape de CMP pour s'affranchir des croissances parasites qui auront lieu après le dépôt d'or et le soulèvement de la résine comme expliqué avant dans la section 3.8. De la même manière, nous avons étudié ici la vitesse de gravure sur le titane ainsi que sa sélectivité vis-à-vis de l'or pour différents paramètres de CMP avec la même composition de slurry utilisée dans l'étude précédente.

La figure 3.31 (a et b) montre la variation de la vitesse de gravure du titane et de l'or en fonction de la pression et de la vitesse de rotation.

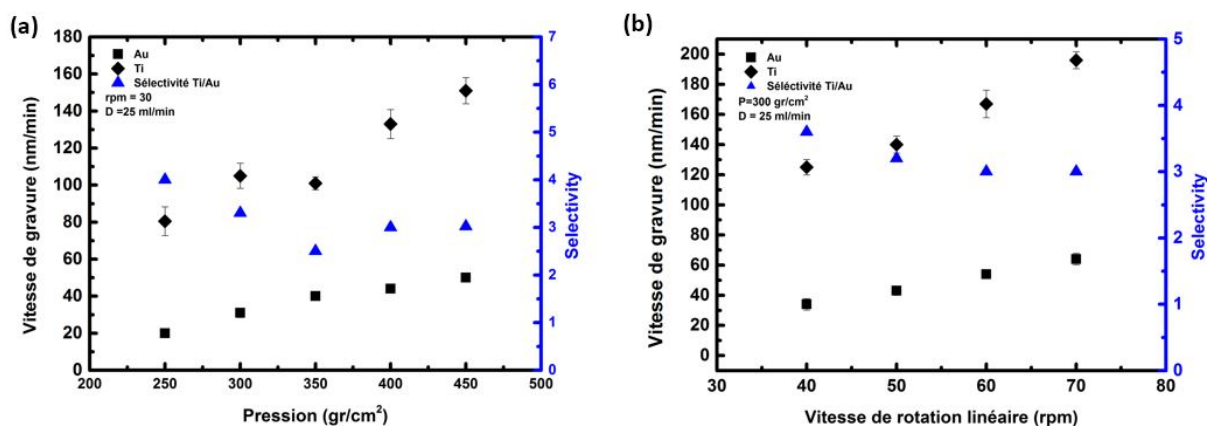


Figure 3.31 : Valeur moyenne des vitesses de gravure sur l'or et le titane ainsi que la sélectivité en fonction de la (a) pression appliquée et (b) vitesse de rotation pour un mélange de slurry [(2,07 g de SDS avec 1,75 ml de Tween 80) ajoutés à 600 ml d'Ultra Sol A20 et de H<sub>2</sub>O<sub>2</sub> dans un ratio de volume [1:1]

En effet, le titane a présenté une progression linéaire de sa vitesse de gravure d'une manière conforme à la loi de Preston ( $RR = K_p \cdot P \cdot v$ ). Pourtant, il présente un taux d'élimination supérieur à l'or pour chaque valeur de pression et de vitesse. Vu que le titane est plus dur que l'or sur l'échelle de « Mohs » (entre 5.5 et 6.5 pour le titane contre 2.5 pour l'or), il semble que sa gravure est plus chimique que mécanique. Une sélectivité minimum autour de 2.5 a été obtenue. La recette utilisée pour éliminer les matériaux de la surface et effectuer la planarisation est :  $P = 350 \text{ g/cm}^2$  ;  $v_{\text{plateau}} = 30 \text{ rpm}$  ;  $v_{\text{tête}} = 20 \text{ rpm}$  ;  $D_{\text{slurry}} = 25 \text{ ml/min}$  ; Au MRR = 40 nm/min ; Ti MRR = 100 nm/min. Elle fournit une sélectivité égale à 2.5 entre l'or et l'oxyde ( $S_{\text{Ti/or}} = 2.5$ ). La figure 3.32 montre différentes étapes de CMP réalisées sur un échantillon, où un

empilement de matériaux [Ti (5 nm) /Au (50 nm) /Ti (170 nm)] a été déposé. Grâce à ces différentes observations SEM et analyse EDX, nous avons conclu que le titane couvrant l'or dans les tranchées disparaît complètement à la fin du procédé de CMP. Il paraît que cette solution chimique n'est pas adaptée pour effectuer à la fois le polissage sur l'or et le titane.

L'idéal sera de trouver une solution qui permet de fournir une sélectivité égale à l'unité entre l'or et le titane. Nous avons essayé d'éliminer l'or avec une solution à base de silice, mais un taux de gravure presque nul, et une mauvaise qualité de surface polie ont été obtenus.

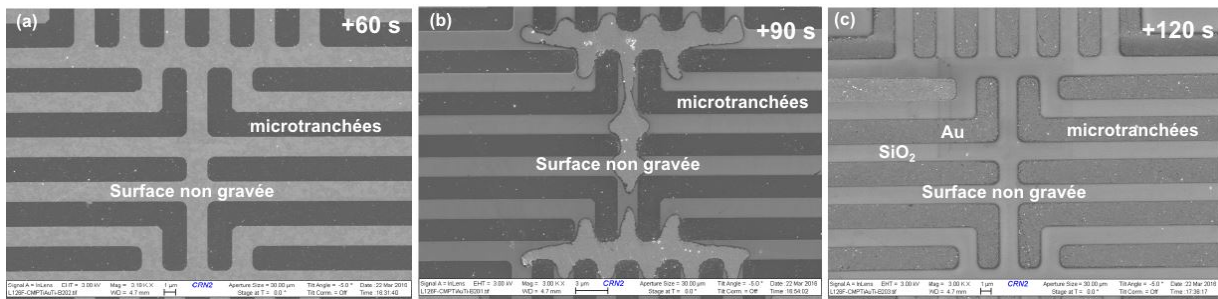


Figure 3.32 : Différentes étapes de CMP sur l'or et du titane avec une solution de slurry à base d'alumine après : (a) 60 s, (b) 90 s, (c) 120 s.

### 3.10 Conclusion

Dans ce chapitre, nous avons démontré la possibilité d'élaborer des nanofils SiGe horizontaux guidés directement sur un substrat amorphe à l'intérieur des tranchées d'oxyde. L'optimisation des paramètres de croissance a permis d'obtenir des nanofils SiGe et Ge à une température inférieure à 500°C, ce qui convient au procédé d'intégration 3D monolithique. Nous avons ensuite développé un procédé technologique qui a permis la croissance confinée de ces nanofils à l'intérieur des cavités d'oxyde. Il a été conçu de manière à réaliser la connexion des nanofils directement entre des électrodes prédéfinies sans avoir recours à des procédés supplémentaires pour créer les contacts S/D.

L'optimisation de la gravure humide dans le procédé a permis ainsi d'exposer le catalyseur d'or au flux des gaz précurseurs, ce qui a permis la croissance guidée des nanofils. La caractérisation électrique a révélé la présence d'un contact redresseur type « Schottky » entre le nanofil et les électrodes. En plus, ce procédé technologique ne sera pas limité qu'à la croissance des nanofils

SiGe, il peut être aussi exploité dans la synthèse de d'autres types de nanofils (comme le Ge), à plus basse température grâce au mécanisme VLS.

À la fin de ce procédé, une croissance parasite reliant les « chemins d'amenées » a été détectée sur une grande majorité des échantillons, empêchant ainsi tout développement massif des transistors. C'est pour cette raison que nous avons étudié la CMP sur l'or afin de remplacer l'étape de soulèvement. Les vitesses de gravure de l'or et l'oxyde, ainsi que la sélectivité entre ces deux matériaux ont été extraites en fonction de plusieurs paramètres de polissage. Cette étude a permis de planariser l'or à l'intérieur des structures d'oxyde.

Tous les développements effectués dans ce chapitre étaient dans l'esprit d'une intégration directe des nanofils pour des applications en 3D monolithique. C'est pour cette raison que le procédé a été fabriqué sur un substrat amorphe et à faible budget thermique (autour de 500°C).

## Listes des références du chapitre 3

- [1] C. Fenouillet-Beranger, B. Mathieu, B. Previtali, M. P. Samson, N. Rambal, V. Benevent, S. Kerdiles, J. P. Barnes, D. Barge, P. Besson, R. Kachtouli, M. Cassé, X. Garros, A. Laurent, F. Nemouchi, K. Huet, I. Toqué-Trésonne, D. Lafond, H. Dansas, F. Aussenac, G. Druais, P. Perreau, E. Richard, S. Chhun, E. Petitprez, N. Guillot, F. Deprat, L. Pasini, L. Brunet, V. Lu, C. Reita, P. Batude, and M. Vinet, "New insights on bottom layer thermal stability and laser annealing promises for high performance 3D VLSI," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, p. 27.5.1-27.5.4, 2015.
- [2] P. Batude, M. Vinet, B. Previtali, C. Tabone, C. Xu, J. Mazurier, O. Weber, F. Andrieu, L. Tosti, L. Brevard, B. Sklenard, P. Coudrain, S. Bobba, H. Ben Jamaa, P. E. Gaillardon, A. Pouydebasque, O. Thomas, C. Le Royer, J. M. Hartmann, L. Sanchez, L. Baud, V. Carron, L. Clavelier, G. De Micheli, S. Deleonibus, O. Faynot, and T. Poiroux, "Advances, challenges and opportunities in 3D CMOS sequential integration," *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 151–154, 2011.
- [3] P. Gentile, A. Solanki, N. Pauc, F. Oehler, B. Salem, G. Rosaz, T. Baron, M. Den Hertog, and V. Calvo, "Effect of HCl on the doping and shape control of silicon nanowires," *Nanotechnology*, vol. 23, no. 21, p. 215702, 2012.
- [4] A. Potié, T. Baron, L. Latu-Romain, G. Rosaz, B. Salem, L. Montès, P. Gentile, J. Kreisel, and H. Roussel, "Controlled growth of SiGe nanowires by addition of HCl in the gas phase," *J. Appl. Phys.*, vol. 110, no. 2, 2011.
- [5] R. S. Wagner and W. C. Ellis, "Vapor-liquid-solid mechanism of single crystal growth," *Appl. Phys. Lett.*, vol. 89, pp. 4–6, 1964.
- [6] K. W. Schwarz and J. Tersoff, "From Droplets to Nanowires : Dynamics of Vapor-Liquid-Solid Growth," *Phys. Rev. Lett.*, vol. 102, 206101, no. May, pp. 1–4, 2009.
- [7] B. B. A. Wacaser, K. A. Dick, J. Johansson, K. Deppert, L. Samuelson, and M. T. Borgstro, "Preferential Interface Nucleation : An Expansion of the VLS Growth Mechanism for Nanowires," *Adv. Mat.*, pp.153–165, 2009.
- [8] W. Lu and C. M. Lieber, "Semiconductor nanowires," *J. Phys. D. Appl. Phys.*, vol. 39, no. 21, pp. R387–R406, 2006.
- [9] F. Oehler, "Croissance et caractérisation de nanofils de silicium," *Mémoire de Master*, ENS-Lyon, 2007.
- [10] H. Schmid, C. Bessire, M. T. Björk, A. Schenk, and H. Riel, "Silicon nanowire Esaki diodes," *Nano Lett.*, vol. 12, no. 2, pp. 699–703, 2012.
- [11] O. Demichel, C. Delerue, G. Bremond, H. Mariette, J. Harmand, C. Delerue, H. Mariette, and J. Harmand, "Propriétés Électroniques de Nanofils de Silicium obtenus par Croissance Catalysée," *Thèse de doctorat*, Université Joseph-Fourier - Grenoble I, 2010.
- [12] A. Lecestre, "Synthèse et caractérisation de silicium cristallin par croissance VLS pour l'intégration 3D séquentielle de transistors MOS," *These de Doctorat*. Université de Lille 1, 2010.
- [13] V. Brouzet, "Réalisation et étude des propriétés électriques de transistor à effet tunnel

« T-FET » à nanofil Si / SiGe,” *These de Doctorat.*, Université de Grenoble-Alpes, 2015.

- [14] G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Potié, A. Solanki, and T. Baron, “High-performance silicon nanowire field-effect transistor with silicided contacts,” *Semicond. Sci. Technol.*, vol. 26, no. 8, p. 85020, 2011.
- [15] G. Rosaz, B. Salem, N. Pauc, A. Potié, P. Gentile, and T. Baron, “Vertically integrated silicon-germanium nanowire field-effect transistor,” *Appl. Phys. Lett.*, vol. 99, no. 19, 2011.
- [16] A. Potié, T. Baron, F. Dhalluin, G. Rosaz, B. Salem, L. Latu-Romain, M. Kogelschatz, P. Gentile, F. Oehler, L. Montès, J. Kreisel, and H. Roussel, “Growth and characterization of gold catalyzed SiGe nanowires and alternative metal-catalyzed Si nanowires,” *Nanoscale Res. Lett.*, vol. 6, p. 187, 2011.
- [17] A. Potié, “Étude de la Croissance de Nanofils de SiGe et Caractérisation par Microscopie à Force Atomique,” *These de Doctorat.*, Université de Grenoble-Alpes, 2012.
- [18] C. Dubuc, J. Beauvais, and D. Drouin, “A nanodamascene process for advanced single-electron transistor fabrication,” *IEEE Trans. Nanotechnol.*, vol. 7, no. 1, pp. 68–73, 2008.
- [19] M. Guilmain, A. Jaouad, S. Ecoffey, and D. Drouin, “SiO<sub>2</sub> shallow nanostructures ICP etching using ZEP electroresist,” *Microelectron. Eng.*, vol. 88, no. 8, pp. 2505–2508, 2011.
- [20] G. Karbasian, P. J. Fay, H. Grace Xing, A. O. Orlov, and G. L. Snider, “Chemical mechanical planarization of gold,” *J. Vac. Sci. Technol. A Vacuum, Surfaces, Film.*, vol. 32, no. 2, p. 21402, 2014.
- [21] G. Droulers, “Conception et fabrication d’un automate cellulaire quantique basé sur un procédé de transistors monoélectroniques métalliques damascène,” *These Dr.*, 2015.
- [22] M. Oliver, “CMP Technology,” *Chem. Planarization Semicond. Mater.*, pp. 7–40, 2004.
- [23] M. Guilmain, T. Labbaye, F. Dellenbach, C. Nauenheim, D. Drouin, and S. Ecoffey, “A damascene platform for controlled ultra-thin nanowire fabrication,” *Nanotechnology*, vol. 24, no. 24, p. 245305, 2013.
- [24] S. Ecoffey, M. Guilmain, J.-F. Morissette, F. Bourque, J. Pont, B. L. Sang, and D. Drouin, “Technology platform for the fabrication of titanium nanostructures,” *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 29, no. 6, p. 06FG06, 2011.
- [25] and M. W. K. R. W. Kishan Gupta, “Etch Rates for Micromachining Processing\_Part II,” *J. Chem. Inf. Model.*, vol. 12, no. 6, pp. 761–778, 2003.
- [26] D. M. Knotter, “Etching mechanism of vitreous silicon dioxide in HF-based solutions,” *J. Am. Chem. Soc.*, vol. 122, no. 18, pp. 4345–4351, 2000.
- [27] F. Léonard and A. A. Talin, “Electrical contacts to one- and two-dimensional nanomaterials,” *Nat. Nanotechnol.*, vol. 6, no. 12, pp. 773–783, 2011.
- [28] G. Rosaz, “Intégration 3D de nanofils Si-SiGe pour la réalisation de transistors verticaux 3D à canal nano fil,” *These de Doctorat.*, Université de Grenoble-Alpes, 2012.
- [29] F. Balestra, *Nanoscale CMOS: Innovative Materials, Modeling and Characterization*. Wiley, 2010.
- [30] H. M. and N. P. N. Mehmet C. Ozturk, Jing Liu, “Advanced Si/sub 1-x/Gex source/drain and Contact Technologies for Sub-70 nm CMOS,” *Iedm*, pp. 1–4, 2002.

- [31] G. Zheng, W. Lu, S. Jin, and C. M. Lieber, "Synthesis and fabrication of high-performance n-type silicon nanowire transistors," *Adv. Mater.*, vol. 16, no. 21, pp. 1890–1893, 2004.
- [32] K. Byon, D. Tham, J. E. Fischer, and A. T. Johnson, "Synthesis and postgrowth doping of silicon nanowires," *Appl. Phys. Lett.*, vol. 87, no. 19, pp. 1–3, 2005.
- [33] Y. Cui, X. Duan, J. Hu, and C. M. Lieber, "Doping and Electrical Transport in Silicon Nanowires," *J. Phys. Chem. B*, vol. 104, no. 22, pp. 5213–5216, 2000.
- [34] a. Lecestre, E. Dubois, a. Villaret, T. Skotnicki, P. Coronel, G. Patriarche, and C. Maurice, "Confined VLS growth and structural characterization of silicon nanoribbons," *Microelectron. Eng.*, vol. 87, no. 5–8, pp. 1522–1526, May 2010.
- [35] B. Salem, F. Dhalluin, H. Abed, and T. Baron, "Self-connected horizontal silicon nanowire field effect transistor," *Solid State Commun.*, vol. 149, no. 19–20, pp. 799–801, May 2009.
- [36] P. Fenney, "CMP for metal-gate integration in advanced CMOS transistors," *Solid State Technol.*, 2010.
- [37] M. S. Miller, M. A. Ferrato, A. Niec, M. C. Biesinger, and T. B. Carmichael, "Ultrasoother gold surfaces prepared by chemical mechanical polishing for applications in nanoscience," *Langmuir*, vol. 30, no. 47, pp. 14171–14178, 2014.
- [38] H. Search, C. Journals, A. Contact, M. Iopscience, and I. P. Address, "Chemical-Mechanical Polishing of Metalorganic Chemical-Vapor-Deposited Gold for LSI Interconnection," vol. 392.
- [39] P. B. Zantye, A. Kumar, and A. K. Sikder, "Chemical mechanical planarization for microelectronics applications," *Mater. Sci. Eng. R Reports*, vol. 45, no. 3–6, pp. 89–220, 2004.
- [40] G. Karbasian "Chemical Mechanical Polishing of Gold," *mémoire de master.*, Univ. Notre Dame Indiana, 2013.
- [41] Y. Ahn, J. Y. Yoon, C. W. Baek, and Y. K. Kim, "Chemical mechanical polishing by colloidal silica-based slurry for micro-scratch reduction," *Wear*, vol. 257, no. 7–8, pp. 785–789, 2004.
- [42] L. Freund and S. Suresh, "Thin Film Materials: Stress, Defect Formation and Surface Evolution," *Cambridge University Press* p. 768, 2003.
- [43] M. M. Shawrav, P. Taus, H. D. Wanzenboeck, M. Schinnerl, M. Stoger-Pollach, S. Schwarz, A. Steiger-Thirsfeld, and E. Bertagnolli, "Highly conductive and pure gold nanostructures grown by electron beam induced deposition," *Sci. Reports.*, vol. 6, no. July, p. 34003, 2016.
- [44] A. Botman, J. J. L. Mulders, R. Weemaes, and S. Mentink, "Purification of platinum and gold structures after electron-beam-induced deposition," *Nanotechnology*, vol. 17, no. 15, pp. 3779–3785, 2006.
- [45] A. V. Riazanova, Y. G. M. Rikers, J. J. L. Mulders, and L. M. Belova, "Pattern shape control for heat treatment purification of electron-beam-induced deposition of gold from the Me 2Au(acac) precursor," *Langmuir*, vol. 28, no. 14, pp. 6185–6191, 2012.
- [46] J. J. L. Mulders, L. M. Belova, and a Riazanova, "Electron beam induced deposition at elevated temperatures: compositional changes and purity improvement.," *Nanotechnology*, vol. 22, no. 5, p. 55302, 2010.
- [47] N. A Roberts, J. D. Fowlkes, G. A Magel, and P. D. Rack, "Enhanced material purity and resolution via synchronized laser assisted electron beam induced deposition of



- platinum,” *Nanoscale*, vol. 5, no. 1, pp. 408–15, 2013.
- [48] D. Belić, M. M. Shawrav, M. Gavagnin, M. Stöger-Pollach, H. D. Wanzenboeck, and E. Bertagnolli, “Direct-write deposition and focused-electron-beam-induced purification of gold nanostructures,” *ACS Appl. Mater. Interfaces*, vol. 7, no. 4, pp. 2467–2479, 2015.
  - [49] M. Shimojo, M. Takeguchi, and K. Furuya, “Formation of crystalline iron oxide nanostructures by electron beam-induced deposition at room temperature,” *Nanotechnology*, vol. 17, no. 15, pp. 3637–3640, 2006.
  - [50] S. Mehendale, J. J. L. Mulders, and P. H. F. Trompenaars, “Purification of Au EBID structures by electron beam post-irradiation under oxygen flux at room temperature,” *Microelectron. Eng.*, vol. 141, pp. 207–210, 2015.



# CHAPITRE 4

## Localisation des nanofils horizontaux par diélectrophorèse sur puce « CMOS »

### 4.1 Introduction

Les nanofils semi-conducteurs sont considérés comme des briques de base pour la fabrication des nanodispositifs et des systèmes fonctionnels prometteurs dans l'électronique de demain. Dans cette optique, les nanofils synthétisés par une croissance VLS doivent faire face à des défis technologiques afin de pouvoir les intégrer dans des dispositifs d'une manière reproductible et les manipuler sur une grande échelle et à faible coût. Différentes stratégies peuvent être utilisées pour répondre aux enjeux d'alignement. Dans le chapitre précédent, nous avons exploré une stratégie de croissance et de synthèse « directe » des nanofils, via un procédé technologique. Au cours de ce chapitre, nous allons explorer une autre approche d'assemblage des nanofils.

Cette dernière aura lieu cette fois ci-après la croissance VLS. Il existe en effet différentes méthodes développées pour réaliser ce type d'alignement y compris l'utilisation des films Langmuir-Blodgett [1], l'assemblage dirigé par fluide [2], l'impression par transfert sec [3], l'impression par contact [4] et la diélectrophorèse (DEP) [5]. En effet, la technique de DEP est capable d'induire une polarisation significative pour différents types de nanostructures [6]. Sa capacité à repousser ou à attirer des particules dans un milieu spécifique la rend unique parmi les forces sans contact. Cette technique qui s'opère à température ambiante se distingue par son faible coût, son rendement élevé, sa simplicité et sa précision d'alignement.

Nous présenterons dans un premier temps la méthode de diélectrophorèse pour aligner horizontalement les nanofils et fabriquer des transistors sur une puce CMOS. Nous commencerons par présenter le principe de l'électrocinétique dans un champ électrique non uniforme. Puis, nous détaillerons le protocole expérimental utilisé ainsi que l'élaboration des nanofils et le choix de milieu de suspension. Dans un second temps, nous présenterons une étude qualitative du mouvement de ces nanofils, sous l'influence des forces électrocinétiques existantes.

L'étude de déplacement des nanofils pour extraire leurs vitesses, ainsi que leur facteur de Clausius-Mossotti [ $K(\omega)$ ] sera développée en fonction du temps et de la fréquence.

L'optimisation de l'alignement horizontal des nanofils entre les électrodes sur un substrat de silicium recouvert par un oxyde a été mise au point en fonction de la fréquence.

Finalement, nous avons vérifié les sites d'alignement grâce à des mesures I-V, afin de montrer la faisabilité de réaliser un contact électrique sur des substrats SiO<sub>2</sub>/Si et également sur une puce CMOS.

## **4.2 Principe de l'électrocinétique dans un champ électrique non uniforme**

Différentes forces résultent de l'application d'un champ électrique non uniforme sur des particules en suspension dans un milieu liquide. Certaines sont de types hydrodynamiques (EHD), ce qui implique un déplacement du liquide lui-même. D'autres sont de types électrocinétiques et agissent directement sur les particules en suspension. Nous présenterons dans les différentes forces qui peuvent intervenir dans un tel environnement.

### **4.2.1 Forces électrohydrodynamiques**

Nous allons dans cette partie présenter les forces hydrodynamiques qui agissent seulement sur le liquide et affectent par la suite son mouvement :

#### **A. Électroosmose (ACEO)**

Lorsqu'un électrolyte (liquide contenant des ions dissous) rentre en contact avec les parois d'un solide, une double couche électrique se forme après la modification ionique (dissociation ou adsorption des ions) de l'état chimique de la surface du solide. Comme l'illustre la figure 4.1-(a), cette couche est composée de deux sous couches : La première est la couche de « Stern », accolée à la surface. Elle contient des contre-ions fixes étendus sur quelques Angströms d'épaisseur. La seconde est la couche de « diffuse » riche en ions mobiles et qui mesure quelques nanomètres. L'épaisseur de la couche de diffuse s'appelle la longueur de Debye  $\lambda$  et dépend de la permittivité et de la conductivité du milieu ( $\lambda \sim 1\text{-}200$  nm dans l'eau). Ce déséquilibre de charge local induit au niveau de l'interface un potentiel électrique  $\phi$  qui décroît exponentiellement suivant la distance de la paroi. Ce potentiel électrique est décrit par l'équation suivante :

$$\phi(x) = \zeta e^{-x/\lambda} \quad (\text{Eq. 4.1})$$

Où  $\zeta$  représente le potentiel Zeta, qui traduit la charge électrique acquise par une particule en solution avec une mobilité suffisante pour s'attirer à la paroi chargée (figure 4.1-a). L'application d'un champ électrique génère dans la puce microfluidique une nouvelle force de Coulomb, due à l'interaction entre ce dernier et les charges libres qui se mettent en mouvement dans le liquide. L'expression de la force de Coulomb est donnée par :

$$\vec{F} = q \cdot \vec{E} \quad (\text{Eq.4.2})$$

Où  $q$  représente la charge et  $\vec{E}$  le champ appliqué. La polarisation des électrodes accumule dans la couche de diffuse des charges de signes opposées. Les forces de Coulomb induisent alors un mouvement dans la solution au-dessus de la surface chargée (dans ce cas les électrodes) (Figure 4.1-b). Ce glissement du liquide le long des électrodes va générer des rouleaux cycliques. Il représente le flux électroosmotique (ACEO) de l'électrolyte (Figure 4.1-c). De nombreuses études ont pu mettre en évidence ce type de mouvement [7][8]. Ce phénomène n'est pas aléatoire, il dépend de plusieurs facteurs qui peuvent influencer son fonctionnement y compris le potentiel Zeta initial, la conductivité de la solution, la taille et le type des électrodes et surtout la fréquence appliquée. La vitesse de glissement du fluide se calcule suivant l'équation 4.3 [9]. Elle dépend ainsi de la fréquence adimensionnelle donnée dans l'équation 4.4.

$$\langle u_{\text{ACEO}} \rangle = \frac{\epsilon_m \zeta^2 \Omega^2}{8\eta d (1 + \Omega^2)^2} \quad (\text{Eq. 4.3})$$

$$\Omega = \frac{1}{2} \pi \kappa d \left( \frac{\epsilon_m}{\sigma_m} \right) \omega \quad (\text{Eq. 4.4})$$

Avec :  $\eta$  : Viscosité de la solution       $d$  : Distance de la particule à partir du centre des électrodes  
 $\epsilon_m$  : Permittivité du milieu       $\zeta$  : Potentiel Zeta initial       $\kappa$  : inverse de la longueur de Debye  
 $\sigma_m$  : conductivité du milieu       $\Omega$  : fréquence adimensionnelle       $\omega$  : fréquence angulaire,  $\omega = 2\pi f$

Ces équations révèlent aussi que la vitesse du flux électroosmotique est élevée à basses fréquences (figure 4.1-d)). La marge exacte de la fréquence sera déterminée par la suite dans la section 4.4.

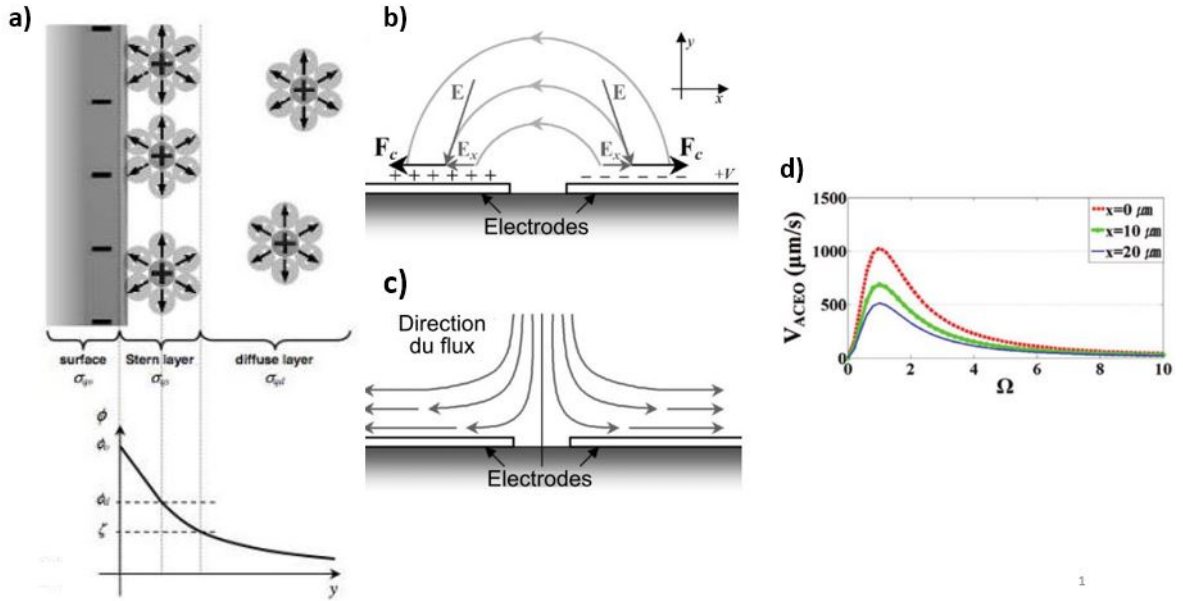


Figure 4.1: (a) Répartition de la couche électrique et du potentiel électrique à l'interface entre une surface et un liquide électrolyte. (b) Principe du mécanisme électroosmose avec E le Champ électrique, E\_x la tangente de ce dernier à la surface des électrodes et F\_c la force de Coulomb appliquée ainsi que les charges accumulées lors de la polarisation des électrodes. (c) Mouvement général de fluide. (d) Vitesse de fluide en fonction de la fréquence appliquée pour des distances différentes de la particule à partir des électrodes [9]. [a,b,c] : adapté de [7]

## B. L'électrothermie

Un autre type de flux apparait aussi après l'application du champ électrique non uniforme dans un fluide conducteur. Ce flux est dû à l'effet Joule au sein du liquide. En effet le champ inhomogène va créer des variations spatiales de diffusion de chaleur et par la suite un gradient de température  $\nabla T$  en fonction de la conductivité thermique du milieu  $\kappa$ . Ce gradient thermique va induire d'autres gradients locaux de permittivité ( $\nabla \epsilon_m$ ) et de conductivité ( $\nabla \sigma_m$ ), qui vont agir sur les charges mobiles (Figure 4.2-a). Ces modifications engendreront l'apparition d'une force volumique, qui est la force électrothermique ( $F_{ETE}$ ) suivant l'équation 4.5.

$$\langle \vec{F}_{ETE} \rangle = -0.5 \left[ \left( \frac{\nabla \sigma_m}{\sigma_m} - \frac{\nabla \epsilon_m}{\epsilon_m} \right) \vec{E} \frac{\epsilon_m \cdot \vec{E}}{1 + \left( \frac{\omega \epsilon_m}{\sigma_m} \right)^2} + 0.5 \cdot \nabla |\vec{E}|^2 \cdot \nabla \epsilon_m \right] \quad (\text{Eq. 4.5})$$

$$\vec{F}_{ETE} = 0.5 \epsilon_m \nabla T \vec{E}^2 \Pi(\omega)$$

$$\Pi(\omega) = \left[ \frac{\alpha - \beta}{1 + \left( \frac{\omega \epsilon_m}{\sigma_m} \right)^2} - \frac{\alpha}{2} \right] \quad (\text{Eq. 4.6})$$

Avec  $\alpha$  et  $\beta$  les gradients locaux de la permittivité et de la conductivité, donnés par les équations :

$$\alpha = \frac{1}{\epsilon_m} \frac{\nabla \epsilon_m}{\nabla T} = -0.4\% K^{-1} \quad (\text{Eq. 4.7})$$

$$\beta = \frac{1}{\sigma_m} \frac{\nabla \sigma_m}{\nabla T} = 2\%K^{-1} \quad (\text{Eq.4.8})$$

D'après ces équations, le facteur  $\Pi$  reflète la relation entre la force électrothermique et la fréquence. Il détermine à son tour le sens et l'intensité de cette force électrothermique. Quand ce facteur est positif, les rouleaux fluidiques s'écoulent des bords vers le centre des électrodes. Lorsqu'il est négatif, le mouvement sera dans le sens inverse. La vitesse de glissement du fluide par électrothermie se calcule suivant l'équation 4.9 [10].

$$V_{ETE} = \frac{|F_{ETE}| l_c^2}{\eta} \quad (\text{Eq. 4.9})$$

Où  $l_c$  représente une longueur caractéristique du système et  $\eta$  la viscosité dynamique du milieu. Cette force est fortement dépendante de la conductivité du milieu et de la différence du potentiel appliqué. Contrairement à la fréquence d'ACEO qui n'apparaît qu'à des basses fréquences, cette force peut apparaître pour toutes les fréquences utilisées. Généralement, la force électrothermique est dominante pour des valeurs de fréquences supérieures à quelques centaines de kilo-Hertz, alors que l'ACEO n'existe plus dans cette marge de fréquence comme le montre la figure 4.2-d.

#### 4.2.2 Forces électrocinétiques sur les nanofils

La diélectrophorèse (DEP) et la force de trainée ( $F_{\text{drag}}$ ) sont des forces qui agissent directement sur les particules en suspension lors de l'application d'un champ électrique non uniforme.

La poussée d'Archimède est une autre force exercée par le fluide sur les nanofils et qui existe même au repos sans la présence du champ. Elle dépend de la masse volumique du fluide. L'expression de cette force est donnée par l'équation 4.10. L'expression de cette force est donnée par l'équation 4.10 :

$$\vec{P}_A = - \rho_m V \vec{g} \quad (\text{Eq. 4.10})$$

Avec  $\rho_m$  la masse volumique du fluide,  $V$  le volume de la particule et  $\vec{g}$  la force de gravité sur la cellule.

En raison de l'énergie thermique du système, les nanofils dans la solution subissent des forces aléatoires supplémentaires, qui les fait bouger de manière aléatoire [12].

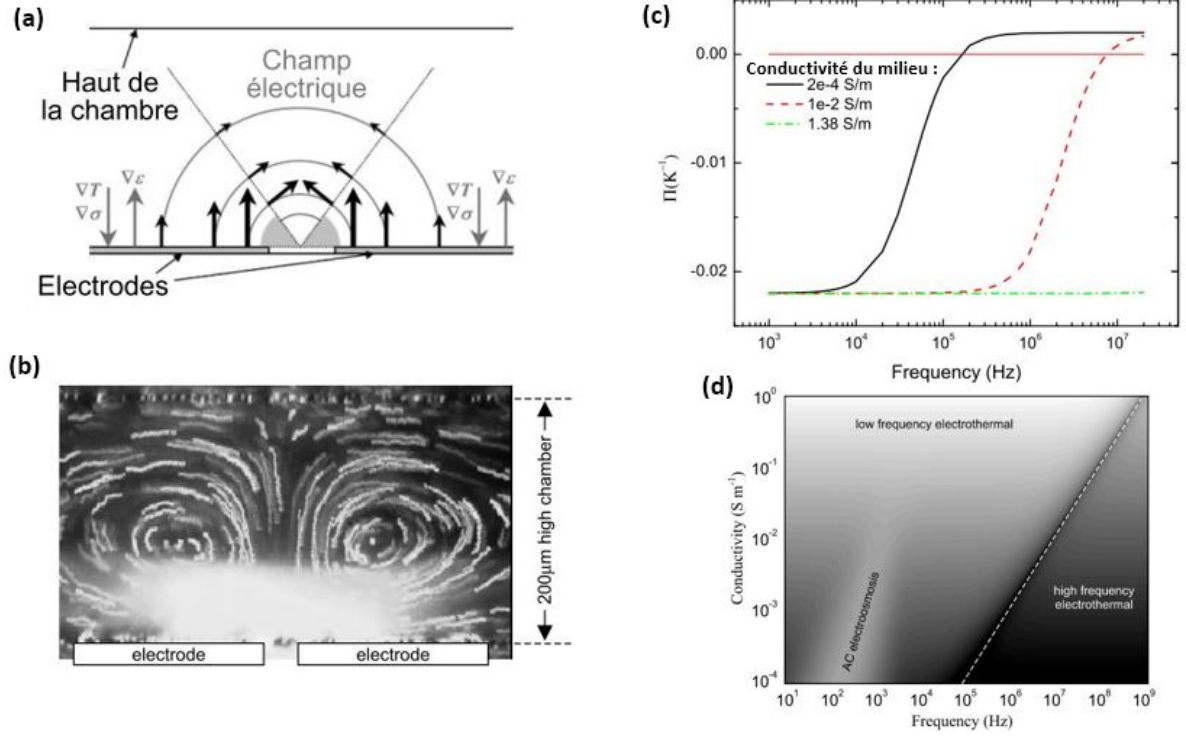


Figure 4.2 : (a) Illustration schématique de l'électrothermie générée à la suite de l'application du champ électrique et la formation des gradients de température  $\nabla T$ , de permittivité  $\nabla \epsilon$  et de conductivité  $\nabla \sigma$ . (b) Lignes de flux détectées par superposition d'images du mouvement de particules. (c) Facteur  $\Pi$  en fonction de la fréquence appliquée et la conductivité du milieu [11]. (d) Carte fréquence/conductivité pour le déplacement de flux généré par ACEO et ETE. [(a),(b),(d) adapté de [7]].

Ce mouvement est appelé le mouvement brownien. Dans un régime de DEP positif, la force diélectrophorétique est assez forte pour attirer les nanofils vers les électrodes et ainsi surmonter le mouvement brownien [13].

L'application d'un champ électrique génère comme démontré précédemment un mouvement au sein du liquide. Ce mouvement induit une force sur les particules en suspension, qui se déplaceront avec une vitesse égale à celle du fluide moyennant un facteur  $k$ . Cette force appelée « force de trainée » ou  $F_{\text{drag}}$  est proportionnelle à la viscosité dynamique de fluide et dépend généralement de la géométrie de la particule. Pour les nanofils par exemple, l'expression de cette force est exprimée par l'équation 4.11 [14].

$$F_{\text{drag}} = \frac{4\pi\eta L}{\ln\left(\frac{2L}{r}\right) - 0.72} \times V \quad (\text{Eq.4.11})$$



Avec :  $\eta$  la viscosité dynamique du fluide,  $V$  la vitesse de fluide,  $L$  la longueur du nanofils et  $r$  son rayon.

Après la présentation de ces forces induites par le milieu sur les particules, il reste à présenter la force de diélectrophorèse exercée à travers un champ électrique non uniforme directement sur les nanofils en suspension.

### 4.2.3 La diélectrophorèse

La diélectrophorèse repose sur le principe de soumettre une particule polarisable suspendue dans un milieu polarisable à une pression électrostatique exercée par un champ électrique non uniforme. Le champ électrique polarise la particule où des charges opposées se répartissent en quantité égale de part et d'autre au sein de cette dernière. Cette répartition des charges va induire des forces de Coulomb en fonction de l'intensité du champ. Si le champ est uniforme, les forces de Coulomb se compensent de chaque côté de la particule, amenant ainsi à une particule immobile [figure (4.3-a)]. Pour un champ non uniforme, les forces de Coulomb deviennent inégales, ce qui aboutit à une force globale non nulle qui provoque un déplacement de la particule [figure (4.3-b)]. La force de diélectrophorèse peut exister à la suite de l'application d'un signal alternatif AC ou continu DC entre les électrodes. L'étude établie par Cetin *et al.* [15] a montré la présence d'un échauffement localisé et d'une accumulation des ions au niveau des électrodes quand des signaux continus sont appliqués. La différence de polarisabilité entre les particules et le milieu liquide aura un impact sur la direction du déplacement. Si la particule est plus polarisable que le milieu, le déplacement de la particule sera vers les zones des forts gradients du champ électrique (DEP positive ou pDEP) [figure (4.3-c)] ; en revanche si le milieu est plus polarisable, le déplacement sera dans le sens inverse vers les régions du champ électrique minimum (DEP négative ou nDEP) [figure (4.3-d)]. Ce phénomène de diélectrophorèse a été découvert en 1951 par Pohl [16]. Il a été utilisé pour manipuler différents types de particules. D'autres études [7] ont exploité les différents aspects de cette force, y compris la fabrication des micro-composants.

La différence de polarisabilité, l'intensité du champ électrique et sa fréquence, ainsi que les dimensions des cellules, constituent des paramètres qui peuvent influencer la force de diélectrophorèse. Dans le cas des nanofils, cette force s'exprime suivant la formule 4.12 [17].

$$\vec{F}_{\text{DEP}} = \frac{\pi r^2 L}{2} \times \epsilon \times \text{Re}(K(w)) \times \nabla E^2 \quad (\text{Eq. 4.12})$$

Avec  $\epsilon = \epsilon_m \cdot \epsilon_0$  la permittivité du milieu,  $r$  le rayon et  $L$  la longueur d'un nanofils,  $\vec{E}$  est le champ électrique et  $\text{Re}(k(w))$  constitue la partie réelle de facteur de Claussius-Mossotti qui est un élément clé de la force diélectrophorétique.

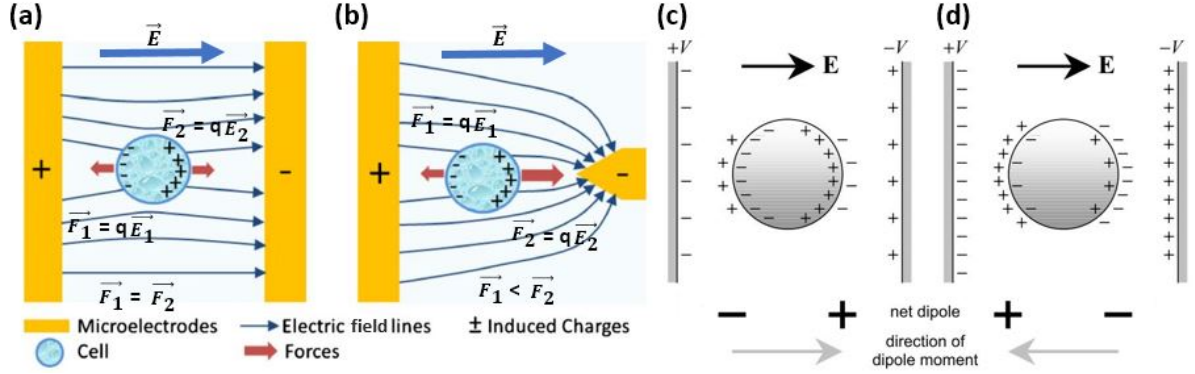


Figure 4.3 : Principe de diélectrophorèse. Réponse d'une particule à un champ électrique (a) uniforme et (b) non uniforme (adaptée de [18]). Sens de déplacement de la particule quand elle est (c) plus polarisable du milieu ou (d) moins polarisable du milieu.

#### 4.2.4 Le facteur de Clausius-Mossotti (FCM)

Le FCM exprime la différence de polarisabilité qui existe entre une particule et son milieu de suspension lors de la diélectrophorèse. L'équation (4.13) présente l'expression de ce facteur de polarisation pour des objets anisotropiques comme les nanofils [19]. Étant donné que c'est un nombre complexe, il contient des informations sur la permittivité complexe du milieu  $\epsilon_m^*$  et de la particule  $\epsilon_p^*$ , ainsi que sur la fréquence ( $\omega$ ) du signal AC appliqué.

$$K(w) = \frac{[\epsilon_p^* - \epsilon_m^*]}{[\epsilon_m^* + (\epsilon_p^* - \epsilon_m^*) n]} \quad (\text{Eq. 4.13})$$

$n$  constitue le facteur de dépolarisation de Lorentz ( $n = n_x + n_y + n_z$ ) qui dépend de l'anisotropie de la particule (pour les nanofils  $n = 0$ ) [19]. La composante imaginaire de la permittivité complexe  $\epsilon^*$  contient la conductivité  $\sigma$  et la fréquence angulaire du champ appliqué  $\omega$  suivant cette équation :

$$\epsilon^* = \epsilon - i \sigma / \omega \quad (\text{Eq. 4.14})$$

Dans le cas d'une nanoparticule sphérique, la force de diélectrophorèse est isotrope dans toutes les directions. En ce qui concerne les nanofils, ils subissent une force diélectrophorétique anisotrope et donc la partie réelle du facteur du Clausius-Mossotti  $\text{Re}(k(\omega))$  doit être séparée en deux composantes, à savoir la force exercée sur la longueur du nanofil  $[\text{Re}(k(\omega))_{\text{longueur}}]$  et la force exercée sur sa largeur  $[\text{Re}(k(\omega))_{\text{largeur}}]$ . Cette séparation entre les deux axes qui dépendra de la fréquence appliquée, aura un effet sur le positionnement et l'orientation des nanofils entre les électrodes [6] (expliqué en détails dans la section 4.4.2).

La relation entre la partie réelle du facteur de Clausius-Mossotti  $\text{Re}(k(\omega))$  et la fréquence angulaire ( $\omega$ ) du champ appliqué est exprimée par l'équation (4.15) [19]. Si la partie réelle du FCM,  $\text{Re}(k(\omega))$  est positive, alors les nanofils seront entraînés dans le sens de la force du champ le plus élevé (et vice versa).

$$\text{Re}(k(\omega)) = \frac{\omega^2 (\epsilon_m \epsilon_p - \epsilon_m^2) + (\sigma_m \sigma_p - \sigma_m^2)}{\epsilon_m^2 \omega^2 + \sigma_m^2} \quad (\text{Eq 4.15})$$

Le facteur de Clausius-Mossotti (FCM) dépend de différents paramètres, y compris a) les propriétés diélectriques de la particule et du milieu (permittivité, conductivité), b) la forme géométrique de la particule et c) la fréquence du signal appliqué qui génère un champ électrique non-uniforme. La connaissance des valeurs positives ou négatives du FCM permet de déterminer le sens et la magnitude de la  $F_{\text{DEP}}$  appliquée. L'inversion du signe de FCM se fait à une fréquence dite « fréquence de coupure » pour laquelle  $\text{Re}(k(\omega)) = 0$  et  $F_{\text{DEP}} = 0$ . À cette fréquence de coupure les particules demeurent fixes sans aucun mouvement et la  $F_{\text{DEP}}$  passe d'une force répulsive (nDEP) à une force attractive (pDEP) ou vice versa. La figure 4.4 montre l'exemple du FCM en fonction de la fréquence pour une particule de différents diamètres dans des fluides de conductivités croissantes.

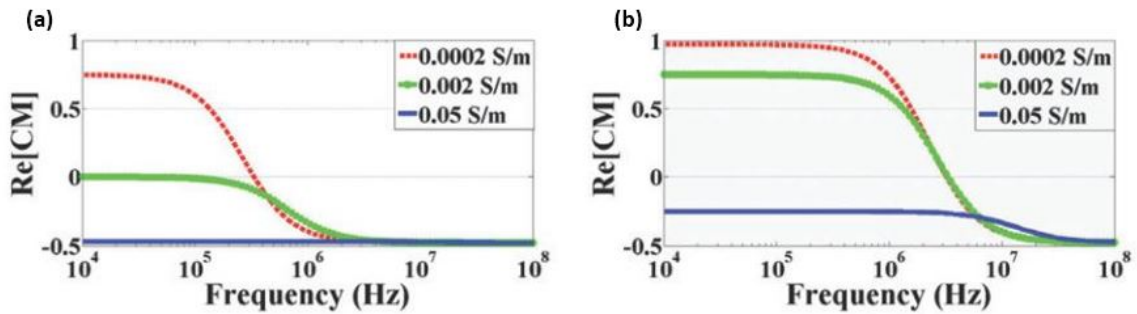


Figure 4.4 : FCM en fonction de la fréquence appliquée et de la conductivité du milieu pour (a) une sphère en polystyrène de 2  $\mu\text{m}$  de diamètre ( $\epsilon_p = 2.5 \epsilon_0$ ) et (b) une sphère en polystyrène de 200 nm de diamètre ( $\epsilon_p = 2.5 \epsilon_0$ ) [20].

En effet, la conductivité d'une particule solide est égale à la somme de la conductivité résultante du corps et de la surface de cette dernière. Avec le changement de la taille des particules, leur conductivité globale change aussi. La conductivité de la surface est la suivante :

$$\sigma_{(surface)} = \frac{2Ks}{r} \quad (\text{Eq 4.16})$$

Où Ks est la conductance de la surface et r le rayon de la particule. La conductivité d'une particule d'un diamètre de 200 nm est de dix fois plus grande que celle d'une particule de 2 µm de diamètre. Le changement de la taille entraîne une augmentation de la valeur du facteur CM et un décalage de la fréquence de transition.

Nous avons présenté dans ce qui précède les différentes forces qui résultent à la suite de l'application d'un champ électrique non uniforme. Certes, une de ces forces pourra dominer les autres pour une valeur de voltage/fréquence spécifique. C'est pour cette raison, il sera intéressant de déterminer la carte des forces dominantes pour l'ensemble de valeurs, afin de pouvoir localiser et orienter les nanofils sur une architecture d'électrodes donnée. Le tableau 4.1 présente une comparaison entre les différentes forces existantes (adaptée de [20]).

ACEO	ETE	DEP
<ul style="list-style-type: none"> <li>◆ Force électrohydrodynamique</li> <li>◆ Mouvement du fluide constant des bords au centre des électrodes.</li> <li>◆ Mouvement circulaire du flux à longue distance</li> <li>◆ Force ACEO diminue quand la conductivité et la fréquence augmente</li> <li>◆ Indépendante de la taille et des propriétés de la particule</li> </ul>	<ul style="list-style-type: none"> <li>◆ Force électrohydrodynamique</li> <li>◆ Mouvement du fluide varie en fonction de la conductivité et de la fréquence appliquée.</li> <li>◆ Force ETE augmente, quand la conductivité et la fréquence augmente</li> <li>◆ Dépendance fréquentielle des forces volumiques de Coulomb</li> </ul>	<ul style="list-style-type: none"> <li>◆ Force sur la particule (électrocinétique) : Positive ou négative</li> <li>◆ Force élevée proche des électrodes et diminue exponentiellement avec la distance</li> <li>◆ Dépend de la fréquence appliquée et de la polarisabilité du milieu et de la particule.</li> <li>◆ Dépend de la propriété et des dimensions des particules</li> </ul>

Tableau 4.1: Tableau de comparaison entre les différentes forces existantes dans une puce microfluidique lors de l'application d'un champ électrique.

## 4.3 Protocol expérimental

Après la présentation théorique des différentes forces qui peuvent exister lors de l'application d'un champ électrique alternatif non uniforme, nous allons présenter dans cette section la procédure et le matériel utilisés pour entamer les différentes expériences, dont l'objectif final sera d'aligner des nanofils horizontaux entre les électrodes.

### 4.3.1 Élaboration des nanofils Si et SiGe

La synthèse des nanofils silicium et silicium-germanium est effectuée sur des substrats de Si (111) nettoyés précédemment dans de l'acétone par ultrasons et rincés avec de l'isopropanol (IPA). Un bain d'acide fluorhydrique [HF (10%)] a été utilisé pour éliminer l'oxyde natif de la surface. Ceci est immédiatement suivi par un dépôt d'une solution aqueuse contenant des colloïdes d'or de 50 nm sur les substrats. Ces derniers jouent le rôle des catalyseurs pour la croissance des nanofils.

Concernant les nanofils de silicium intrinsèque, ils ont été crus dans un four horizontal de dépôt chimique en phase vapeur (CVD) via le mécanisme de croissance VLS [21], à 600 °C et à une pression totale de 3 Torr. Des gaz réactifs de silane ( $\text{SiH}_4$ ) et d'acide hydrochlorique (HCl) ont été utilisés avec un flux de 40 sccm et 100 sccm respectivement. Une résistivité autour de 1  $\Omega\cdot\text{cm}$  a été extraite à l'aide d'une mesure 4 pointes. Un dopage type n de ces nanofils a été effectué en introduisant du phosphine ( $\text{PH}_3$ ), en plus des autres gaz précurseurs [22]. Le rapport de flux  $\text{pPH}_3 / \text{pSiH}_4$  a été maintenu à  $10^{-2}$  et une résistivité de 12  $\text{m}\Omega\cdot\text{cm}$  a été obtenue pour ces nanofils dopés n. Pour élaborer des nanofils  $\text{Si}_{0.7}\text{Ge}_{0.3}$ , 90 sccm de silane et 45 sccm de Germane ( $\sim 10\%$  dans  $\text{H}_2$ ) ont été utilisés comme source de Si et de Ge respectivement, avec du  $\text{H}_2$  comme gaz porteur. La température de croissance est de 450 °C avec une pression totale de 4.5 Torr. La longueur finale des deux types de nanofils variait entre 5 et 17  $\mu\text{m}$  et leur diamètre était compris entre 50 et 100 nm ( $L = 5 - 17 \mu\text{m}$ ,  $D = 50 - 100 \text{ nm}$ ). Les nanofils ont ensuite été détachés de la surface et suspendus dans de l'eau désionisée (EDI) à l'aide d'un ultrason pendant 40 s. Une gouttelette de cette solution (conductivité mesurée de  $2 \cdot 10^{-4} \text{ S / m}$  et  $\epsilon_{\text{eau}} = 80 \epsilon_0$ ) est placée sur une puce microfluidique en verre contenant des lignes d'électrodes coplanaires microstructurées d'ITO (Indium Tin Oxide).

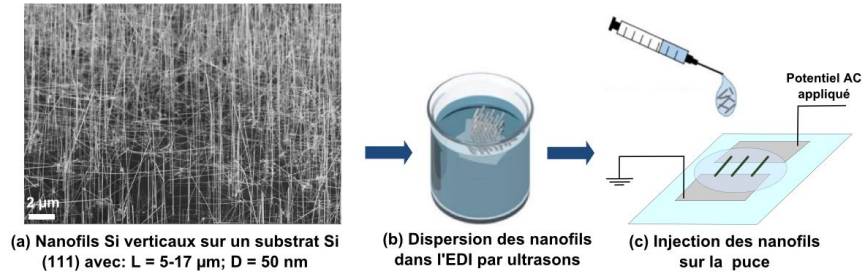


Figure 4.5 : Protocole de diélectrophorèse pour la connexion des nanofils : (a) Croissance verticale des nanofils sur un substrat Si, (b) Dispersion des nanofils dans une solution d'EDI, (c) Injection de la solution sur une puce au-dessus des électrodes.

### 4.3.2 Fabrication des puces

Deux types de puces sont utilisés au cours de cette étude. Il existe des puces avec une architecture dédiée à l'étude qualitative du comportement des nanofils et elles ne sont pas fabriquées pour connecter les électrodes. Le deuxième type de puces est conçu pour aligner et caractériser le comportement électrique des nanofils entre les électrodes. Nous allons ici nous concentrer sur la description du premier type seulement.

Les puces électro-microfluidiques sont des lames en verre contenant des électrodes coplanaires à base d'ITO (Indium Tin Oxide). Ce dernier est un oxyde conducteur transparent contenant respectivement 90% d' $\text{In}_2\text{O}_3$  et 10% de  $\text{SnO}_2$ . Cette propriété de transparence est très intéressante, elle offre la possibilité de pouvoir visualiser les nanofils qui se trouvent au-dessus d'une électrode via une illumination de l'échantillon par transmission. Ce type d'illumination consiste à placer une source lumineuse en dessous de l'échantillon, qui va traverser d'abord la puce, avant d'être collectée par les objectifs du microscope situés au-dessus.

Le protocole de fabrication des électrodes ITO est illustré dans la figure 4.6. Il commence d'abord par l'étalement d'une résine positive sur une lame de verre couverte par 150 nm d'ITO, disponible commercialement (VisionTek Systems Ltd). Après insolation à l'aide d'un aligneur optique, une gravure plasma ICP de l'ITO suivi d'un retrait de la résine permettent d'obtenir des électrodes avec 10  $\mu\text{m}$  de large.

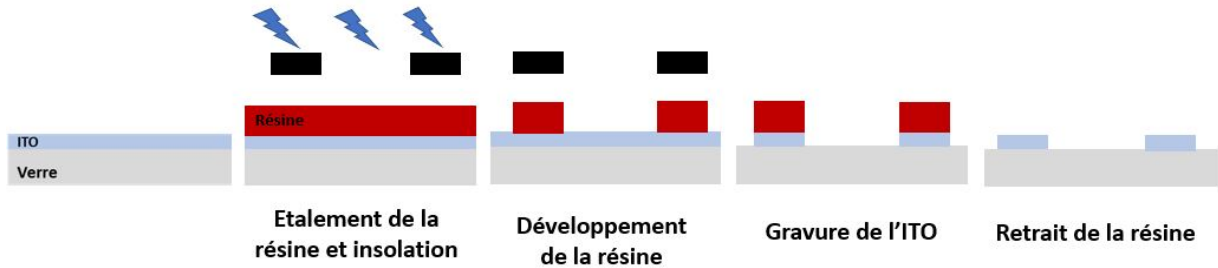


Figure 4.6 : Protocole de fabrication des électrodes ITO sur Une lame de verre.

Vu que ce type d'électrodes ne sert pas à la connexion des nanofils, mais plutôt à la visualisation de leur comportement, un espacement de  $100\ \mu\text{m}$  est maintenu entre les différentes électrodes. Il est dix fois supérieur aux dimensions des nanofils ciblés (longueur moyenne :  $12\ \mu\text{m}$ ), ce qui crée un champ électrique quasi constant entre eux.

Une gouttelette de la solution liquide contenant les nanofils est ensuite injectée au-dessus des électrodes à l'aide d'une pipette, dans un bassin en polydiméthyl-siloxane (PDMS) couvert par une lame de verre. Le schéma du canal microfluidique est illustré dans la figure 4.7 (b).

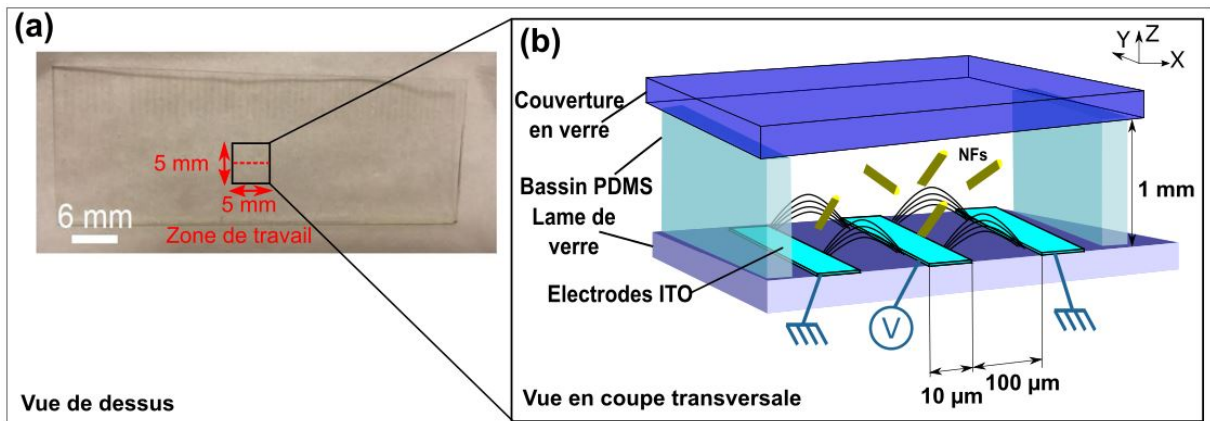


Figure 4.7 : (a) Image d'une puce en verre contenant les électrodes en ITO et la zone de travail. (b) Illustration schématique de la zone de travail agrandie constituant le canal microfluidique qui contient les nanofils dispersés.

### 4.3.3 Plateforme de la technique de DEP

La plateforme utilisée pour manipuler les nanofils sur les puces par la technique de DEP a été mise en place par C. Benoit *et al.*[23]. Cette plateforme englobe deux modules : un module électrique et un autre module optique. Ces derniers permettent à la fois la connexion des

électrodes pour appliquer un potentiel électrique, ainsi que la visualisation du comportement des particules dans le canal microfluidique.

Le module optique [zone 2 de la figure 4.8 (a)] est monté autour d'un microscope optique de la marque « Leica » avec différents objectifs (5X, 20X et 50X), pour visualiser les échantillons. La capture des images est acquise avec une caméra couleur CCD (Manta G-201C, Allied Vision Technologies). Les puces microfluidiques sont maintenues sur un support en aluminium et reliées électriquement à l'aide des connecteurs électriques types ZIF. L'ensemble (support + connecteurs) est fixé sur une platine motorisée (Markshauser).

Le module électrique [zone 1 de la figure 4.8 (a)] contient les connecteurs ZIF qui assure la connexion électrique des puces et leur maintien mécanique. Ils sont reliés par des nappes blindées vers un boîtier électronique connecté à un générateur de tension (TG2000, TTi). Cette logique de connexion sert à choisir le nombre et le numéro des électrodes à activer, de même que la fréquence et le voltage à appliquer. Tout cet ensemble électrique est contrôlé avec un programme LabVIEW. La figure 4.8 montre une image du banc de diélectrophorèse avec les deux modules (zone 1 : électrique, zone 2 : optique) ainsi qu'un agrandissement de la zone où est située la puce (zone 3).

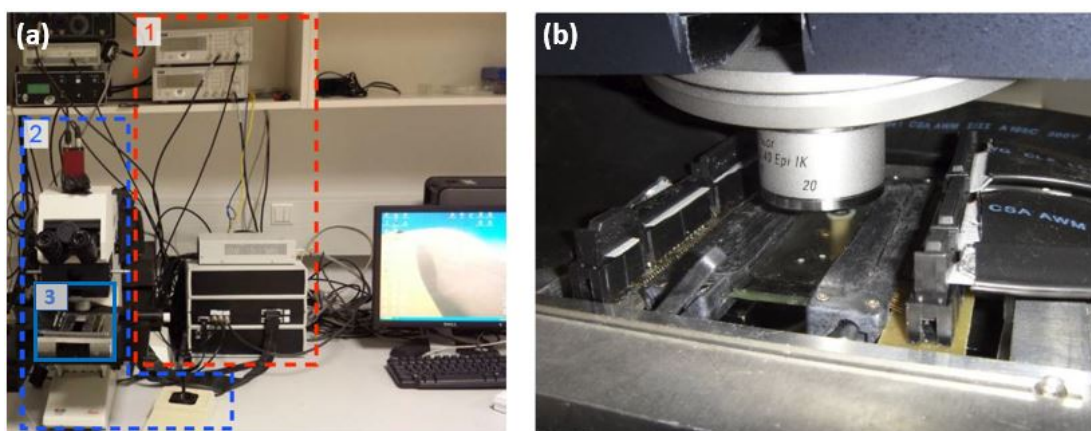


Figure 4.8 : (a) Plateforme de DEP contenant les deux modules : électrique (zone 1) et optique (zone 2), ainsi que (b) l'agrandissement de la zone où est située la puce (zone 3)

## 4.4 Assemblage dirigé des nanofils

Après la description du protocole expérimental de DEP, nous allons montrer dans un premier temps la réponse des différents types de nanofils soumis à un champ électrique alternatif. Elle sera étudiée en fonction de plusieurs paramètres y compris : les valeurs de la fréquence, la



différence du potentiel appliqué, les propriétés diélectriques du milieu et du nanofils. Dans un deuxième temps, nous allons présenter une méthode pour déterminer expérimentalement les valeurs du facteur de Clausius-Mossotti (FCM), basée sur la mesure de vitesse dans une solution de nanofils. Cette étude va nous permettre de déterminer les fréquences idéales pour localiser les nanofils de manière horizontale entre les électrodes.

#### **4.4.1 Étude qualitative du positionnement des nanofils Si et SiGe**

Comme montré précédemment, l'application d'un champ électrique AC génère en plus de la force de diélectrophorèse des forces électrohydrodynamiques (EHD) dans l'électrolyte, comme les forces de l'électroosmose (ACEO) et de l'électrothermie (ETE). Toutes ces forces entrent en compétition dans le système, ce qui affectera le mouvement des nanofils eux-mêmes. De telles forces ont été largement explorées sur d'autres particules [9][24] et leurs effets sur les nanofils sont indiqués dans la figure 4.9. Cette figure illustre le comportement des nanofils ayant différentes propriétés (composition et dopage différent) au-dessus des électrodes coplanaires.

Nous avons remarqué que le mouvement des nanofils SiGe et Si (dopé ou non) présente le même comportement pour des fréquences inférieures à 1 MHz [figure 4.9 (A1-A2 ; B1-B2 ; C1-C2)], même si différents profils de vitesse d'attraction ont été détectés. Expérimentalement, l'attraction des nanofils vers les électrodes a été observée sur l'ensemble de la plage de fréquence testée (5 kHz à 10 MHz). Ceci révèle une force de diélectrophorèse positive (pDEP) sur la gamme de fréquence étudiée (jusqu'à 10 MHz), vue que la conductivité électrique des nanofils est supérieure à celles du milieu, rendant la partie réelle du FCM toujours positive [13][25]. Il faut noter que cette force de DEP positive pourra devenir négative, une fois que la fréquence de coupure est appliquée (expliqué dans le paragraphe 4.2.4). Cette fréquence de coupure n'a pas été atteinte dans notre cas.

En effet, les nanofils sont soumis à des forces importantes de pDEP et ACEO pour des fréquences comprises entre 5 kHz et 30 kHz. Après que la pDEP attire les nanofils dispersés vers les électrodes, le mouvement du fluide d'ACEO les positionne dans la direction des lignes d'électrode [9] pour un alignement horizontal [figure 4.9 (A1-A2)].

Au fur et à mesure, la force d'électroosmose (ACEO) devient moins puissante quand la fréquence augmente (entre 30 kHz et 60 kHz). Des nanofils sont alignés au centre grâce à la faible force d'ACEO, alors que d'autres se positionnent sur les bords des électrodes [figure 4.9

(B1-B2)]. Une fois que la fréquence dépasse 60 kHz, la force d'ACEO disparaît et tous les nanofils seront complètement attirés par pDEP perpendiculairement aux lignes des électrodes. Ce comportement a été aussi observé pour tous les types de nanofils (Si, SiGe), ainsi que pour différents types de dopage (intrinsèque ou dopés n) [figure 4.9 (C1-C2)].

Lorsque la fréquence est supérieure à 1 MHz, la force (ETE) augmente considérablement, contribuant à un nombre réduit de nanofils attirés, par rapport aux fréquences précédentes [figure 4.9 (D1-D2)]. Ce nombre réduit de nanofils obtenus pour  $f > 1$  MHz est attribué à la diminution de l'amplitude de la force diélectrophorétique pour les fréquences élevées [6] et à la direction du fluide inversée. Ce flux de fluide électrothermique induit dans un tel système de microélectrodes a été étudié en détail par Chen *et al.* [26].

Quand la fréquence est inférieure à 1 MHz, le gradient thermique produit un écoulement de fluide du bord des électrodes vers le gap. Ceci va apporter un grand nombre des nanofils dans la zone du gap, permettant ainsi aux forces de DEP d'attirer plus de nanofils vers les électrodes. Pour des valeurs de fréquence qui dépassent les 1 MHz, les rouleaux fluidiques s'écoulent dans une direction opposée qui réduit l'apport des nanofils dans le gap.

En raison de leur aspect de haute conductivité, les nanofils dopés présentent toujours un profil d'attraction supérieur comparé aux nanofils non dopés. Cet effet apparaît surtout pour des fréquences supérieures à 1 MHz [figure 4.9 (D1-D2)].

#### **4.4.2 Détermination du facteur Clausius-Mossotti (FCM)**

Dans cette partie, nous allons étudier une nouvelle technique pour analyser les propriétés diélectrophorétiques des nanofils. Elle est basée sur une mesure expérimentale de la partie réelle du FCM, extraite du calcul de la vitesse d'attraction des nanofils. Après une brève présentation des études faites sur ce facteur, nous étudierons sa réponse pour différent dopage et nature des nanofils, en fonction de la fréquence appliquée. Comme présenté dans la partie 4.2.4, le FCM exprime la différence de polarisabilité entre une particule et son milieu de suspension lors d'un régime de diélectrophorèse. Il dépend fortement des propriétés diélectriques (conductivité et permittivité) du milieu et des particules en suspension. Les différentes expressions contenant le FCM sont réécrites ci-dessous :

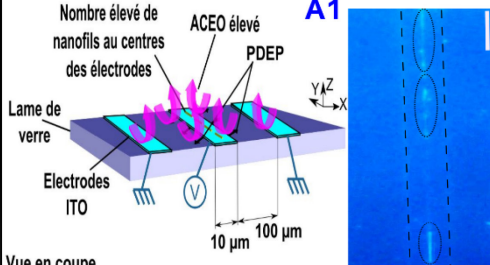
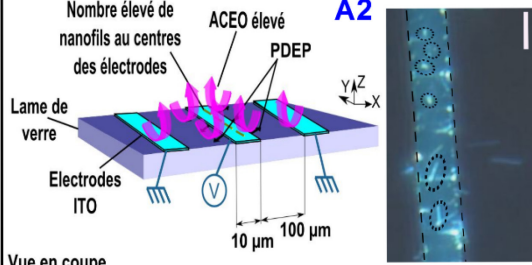
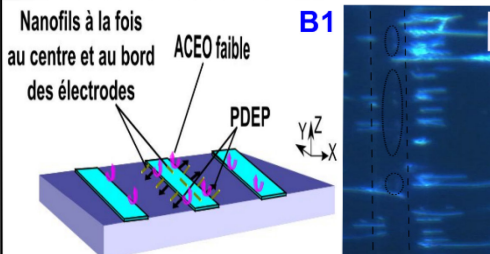
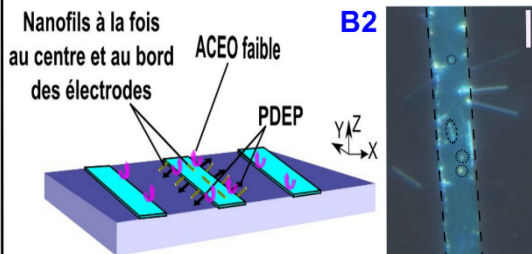
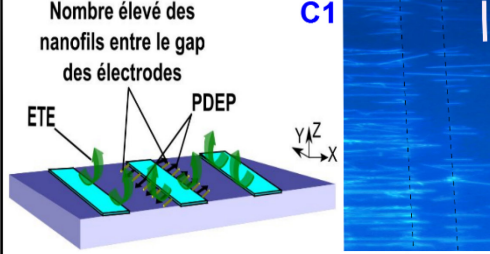
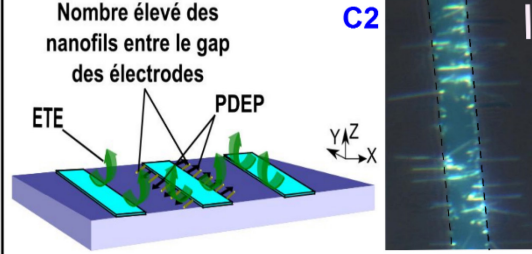
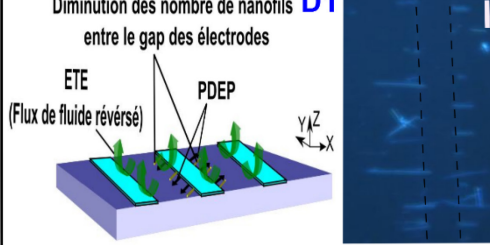
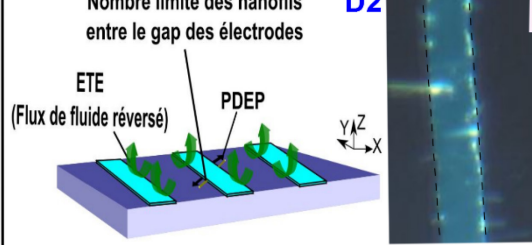
	Conductivité du milieu = $2.10^{-4}$ S/m	
	Vp-p = 5 V	
Types de nanofils	Nanofils Si dopés (n++)	Nanofils intrinsèques (Si, SiGe)
Fréquence		
5 kHz à 30 kHz	<p><b>A1</b></p> <p>Nombre élevé de nanofils au centres des électrodes</p> <p>ACEO élevé</p> <p>PDEP</p> <p>Lame de verre</p> <p>Electrodes ITO</p> <p>10 <math>\mu</math>m 100 <math>\mu</math>m</p> <p>Vue en coupe</p> 	<p><b>A2</b></p> <p>Nombre élevé de nanofils au centres des électrodes</p> <p>ACEO élevé</p> <p>PDEP</p> <p>Lame de verre</p> <p>Electrodes ITO</p> <p>10 <math>\mu</math>m 100 <math>\mu</math>m</p> <p>Vue en coupe</p> 
30 kHz à 60 kHz	<p><b>B1</b></p> <p>Nanofils à la fois au centre et au bord des électrodes</p> <p>ACEO faible</p> <p>PDEP</p> 	<p><b>B2</b></p> <p>Nanofils à la fois au centre et au bord des électrodes</p> <p>ACEO faible</p> <p>PDEP</p> 
60 kHz à 1 MHz	<p><b>C1</b></p> <p>Nombre élevé des nanofils entre le gap des électrodes</p> <p>ETE</p> <p>PDEP</p> 	<p><b>C2</b></p> <p>Nombre élevé des nanofils entre le gap des électrodes</p> <p>ETE</p> <p>PDEP</p> 
1 MHz à 10 MHz	<p><b>D1</b></p> <p>Diminution des nombre de nanofils entre le gap des électrodes</p> <p>ETE</p> <p>PDEP</p> <p>(Flux de fluide réversé)</p> 	<p><b>D2</b></p> <p>Nombre limité des nanofils entre le gap des électrodes</p> <p>ETE</p> <p>PDEP</p> <p>(Flux de fluide réversé)</p> 

Figure 4.9 : Analyses du comportement des nanofils sous DEP. Les lignes pointillées verticales montrent une seule électrode d'ITO coplanaire micro-structurée avec une largeur de 10  $\mu$ m. Le grand écart entre les différentes électrodes n'est pas représenté sur la figure. Les lignes circulaires en pointillés sont attribuées aux nanofils au centre des électrodes. Le placement des nanofils entre le gap peut être clairement identifié, car ils sont attachés sur les bords des électrodes. La barre d'échelle est de 10  $\mu$ m.

$$\vec{F}_{DEP} = \frac{\pi r^2 L}{2} \times \epsilon \times Re(k(w)) \times \nabla E^2 \quad (\text{Eq. 4.12})$$

$$K(w) = \frac{[\epsilon p^* - \epsilon m^*]}{[\epsilon m^* + (\epsilon p^* - \epsilon m^*) \cdot n]} \quad (\text{Eq. 4.13})$$

$$\text{avec } \epsilon^* = \epsilon - i \sigma / \omega \quad (\text{Eq. 4.14})$$

$$\text{Re}(k(\omega)) = \frac{\omega^2 (\epsilon_m \epsilon_p - \epsilon_m^2) + (\sigma_m \sigma_p - \sigma_m^2)}{\epsilon_m^2 \omega^2 + \sigma_m^2} \quad (\text{Eq. 4.15})$$

En raison du rapport de forme élevé (diamètre sur la longueur) pour les nanofils, le FCM et la polarisation peuvent se produire suivant un axe longitudinal ou un axe tangentiel [6] comme le montre les équations suivantes et la figure 4.10 :

$$k(w)_{\text{short axis}} = 2 \frac{\epsilon_p^* - \epsilon_m^*}{\epsilon_p^* + \epsilon_m^*} \quad (\text{Eq. 4.17})$$

$$k(w)_{\text{long axis}} = \frac{\epsilon_p^* - \epsilon_m^*}{\epsilon_m^*} \quad (\text{Eq. 4.18})$$

Dans le cas où le gradient du champ est perpendiculaire au nanofil, la force DEP résultante aura lieu uniquement suivant le petit axe de manière perpendiculaire aussi au nanofil. Si le gradient du champ est parallèle au nanofil, la force DEP résultante aura lieu uniquement suivant l'axe longitudinal de manière parallèle au nanofil.

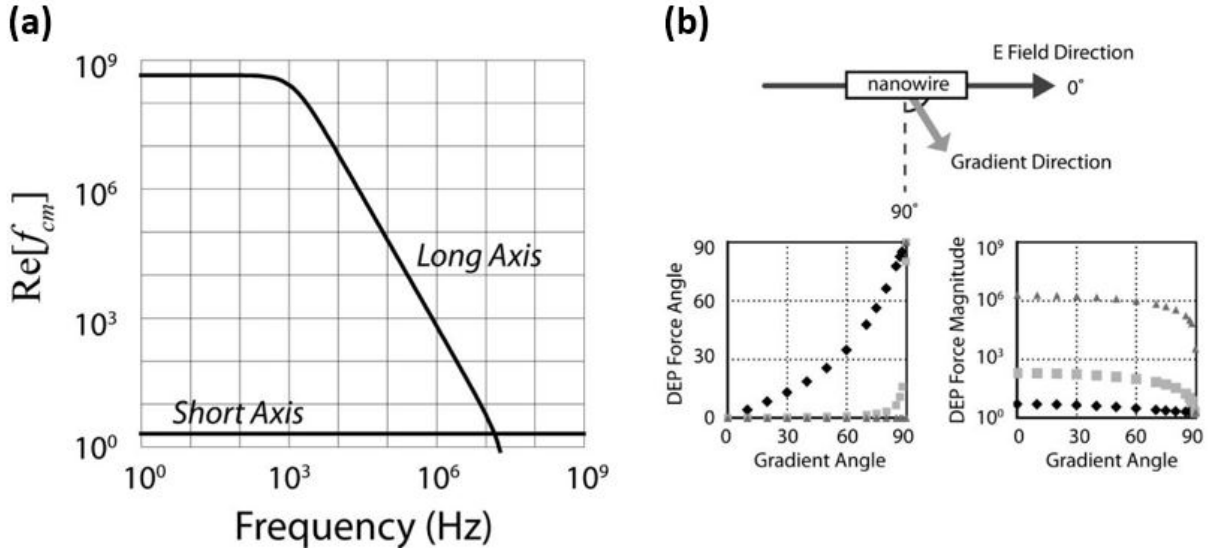


Figure 4.10 : (a) Valeurs de la partie réelle du FCM suivant le long et le petit axe pour un nanofil InAs ( $\epsilon_p = 12.3$ ,  $\sigma_p = 6.4 \times 10^{-3} \text{ S/m}$ ) suspendu dans de l'EDI ( $\epsilon_m = 80$ ,  $\sigma_m = 1 \times 10^{-6} \text{ S/m}$ ) en fonction de la fréquence du signal AC appliquée. (b) Nanofil dans un champ électrique dirigé vers la droite avec un gradient de champ électrique aléatoire (en haut). Angle et amplitude de la force DEP représentés en fonction de l'angle du gradient de champ pour des fréquences de signal de 10 kHz (triangles) 1 MHz (carrés) et 10 MHz (diamants) [6].

Lorsque le gradient du champ agit de manière aléatoire sur les nanofils, la force diélectrophorétique résultante sera égale à la somme des deux composantes suivant le long et le petit axe.

Dans ce travail, l'effet et la contribution de chaque type de polarisation n'est pas évoqué, cependant nous allons plutôt nous concentrer sur la réponse des nanofils pour différents types de matériaux et de dopages. Bien que dans la gamme des fréquences appliquées, il est très probable que la polarisation aura lieu suivant l'axe longitudinal [6][27]. Sachant que si la partie réelle du FCM,  $\text{Re}(k(\omega))$  est positive, alors les nanofils seront attirés dans le sens de la force du champ le plus élevé (et vice versa).

Après la dispersion des nanofils en suspension dans l'EDI, une gouttelette a été injectée sur des électrodes polarisées, de manière à couvrir tous les sites d'alignement disponibles. Les films ont été acquis avec une caméra CCD (Manta G-201C, Allied Vision Technologies), sur un microscope inversé (Leica). Le traitement des vidéos est possible grâce au logiciel ImageJ [28], qui permet la détection, le suivi de plusieurs nanofils dans le même fichier vidéo et l'extraction de leurs vitesses. En appliquant un champ électrique non uniforme, les forces électrohydrodynamiques génèrent comme décrit précédemment un mouvement au sein du liquide, qui induit à son tour une force de trainée ( $F_{\text{drag}}$ ) sur les nanofils animés d'une vitesse  $V$  avec :

$$F_{\text{drag}} = \frac{4\pi\eta L}{\ln\left(\frac{2L}{r}\right) - 0.72} \times V_{\text{nanofils}}. \quad (\text{Eq. 4.19})$$

En outre, la force de diélectrophorèse DEP met les nanofils en déplacement, ce qui crée un mouvement du liquide entourant ces derniers. Par conséquent, ce mouvement du liquide autour des nanofils égalise leur déplacement généré par DEP, d'où l'équation 4.18.

$$\begin{aligned} < F_{\text{DEP}} > = F_{\text{drag}} \\ \frac{\pi r^2 L}{2} \times \epsilon \times \text{Re}(k(\omega)) \times \nabla |E|^2 = \frac{4\pi\eta L}{\ln\left(\frac{2L}{r}\right) - 0.72} \times V_{\text{nanofils}} \end{aligned} \quad (\text{Eq. 4.20})$$

Avec  $|E|^2 = E \cdot E^*$  et  $\epsilon = \epsilon_m \cdot \epsilon_0$  où  $\epsilon_m = 80$ .

Les nanofils ont d'abord été positionnés dans l'espace entre les électrodes, à une distance supérieure à leur longueur, à la suite d'un flux électroosmotique (ACEO). Après l'application

du potentiel électrique, les nanofils se déplacent vers les bords des électrodes et la surveillance de leur vitesse permet une corrélation directe avec le FCM pendant ce temps de transition. Le mouvement du nanofil reste affilier à un régime de DEP, jusqu'à ce que cette force disparaisse (c.-à-d.  $\nabla|E|^2 \sim 0$ ). La valeur de la partie réelle du facteur de Clausius-Mossotti  $\text{Re}(K(\omega))$  sera extraite expérimentalement à partir de la vitesse d'attraction des particules vers les microélectrodes coplanaires ( $V_{x>0}$ ) [24] (équation 4.21). Elle est obtenue en multipliant  $V_{\text{nanofils}}$  par  $\alpha$  pour chaque fréquence.

$$\text{Re}(k(w)) = \alpha V_{\text{nanofils}} \text{ avec } \alpha = \frac{8\eta}{\epsilon \times r^2 \times \nabla |E|^2 \times [\ln(\frac{2L}{r}) - 0.72]} \quad (\text{Eq. 4.21})$$

Avec :  $\eta = 1.002.10^{-3} \text{ Pa.s}$   
 $\epsilon : \epsilon_0, \epsilon_m = 7.08.10^{-10}$

$r$  : rayon des nanofils = 25 nm  
 $L$  : Longueur moyenne des nanofils = 12  $\mu\text{m}$

La figure 4.11 montre le suivi de la vitesse de déplacement des nanofils observé à chaque changement de fréquence. Cette vitesse est extraite à partir des coordonnées de déplacement récupérées sur plusieurs nanofils et calculées en fonction de la distance parcourue en  $\mu\text{m/s}$ . Ce calcul a été réalisé à partir de plusieurs nanofils. Pour une tension du signal appliquée avec une fréquence spécifique, les vitesses extraites ont été analysées statistiquement pour un minimum de 6 nanofils différents. La longueur et le diamètre des nanofils ne pouvaient pas être distingués individuellement sur les vidéos. Une valeur moyenne a été attribuée pour les définir dans l'équation 4.18 ( $L = 11 \mu\text{m}$ ,  $D = 75 \text{ nm}$ ).  $\nabla |E|^2$  est quantifiée à l'aide des simulations COMSOL 4.0 avec une valeur égale à  $4,75931.10^{24} \text{ V}^2.\text{m}^{-3}$  [24]. Ces modélisations ont pris en compte la chute du potentiel à travers la double couche électrique pour les électrodes coplanaires [29].

La figure 4.12 [(a), (b), (c)] décrit la partie réelle du facteur Clausius-Mossotti pour différents types de nanofils en fonction de la fréquence appliquée. Les courbes expérimentales  $\text{Re}(k(w))$  sont extraites selon la formule explicite Eq. 4.18. En effet, tous les types des nanofils présentent un facteur positif tout au long de la gamme de fréquence étudiée, ce qui se traduit par une attraction de ces derniers vers les zones des forts gradients du champ électrique (les électrodes). La conductivité électrique des nanofils supérieures à celles du milieu rend la partie réelle du FCM toujours positive avec :  $\sigma_p(\text{Si}) = 600 \text{ S/m}$  ;  $\sigma_p \text{ Si (n++)} = 142857 \text{ S/m}$  ;  $\epsilon_p(\text{Si}) = 12 \epsilon_0$  ;  $\epsilon_m = 80 \epsilon_0$ ,  $\sigma_m = 2.10^{-4} \text{ S/m}$ .

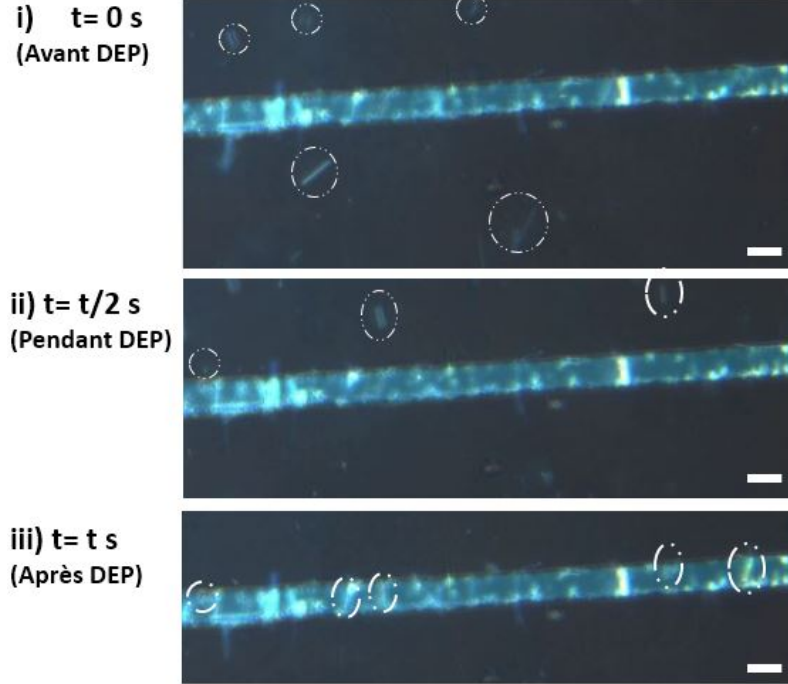


Figure 4.11 : Suivi de vitesse pour des nanofils de silicium. Les nanofils sont d'abord positionnés à proximité des électrodes (i), puis attirés (ii) vers par une force DEP positive aux bords de ces derniers (iii). ( $f = 50$  kHz,  $V_{p-p} = 5$  V). La barre d'échelle est de  $10\ \mu\text{m}$ .

La différence est clairement visible entre les nanofils dopés et non dopés. La diminution de la vitesse et du  $\text{Re}(k(\omega))$  pour les nanofils non dopés est observée lors de l'augmentation de la fréquence, contrairement à la vitesse et la partie réelle du FCM  $[\text{Re}(k(\omega))]$  des nanofils dopés, qui restent généralement constants. La différence entre la conductivité des nanofils joue un rôle majeur dans l'obtention des profils de vitesses différentes. Cette conductivité des nanofils peut être déterminée par la fréquence de croisement ou « Crossover frequency » telle que déterminée dans la référence [30]. Cependant, cette fréquence est supérieure à 100 MHz pour les nanofils dopés n présentés dans cette étude.

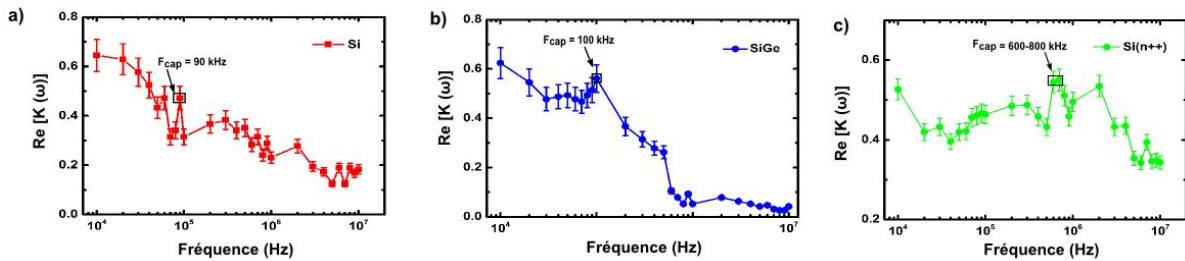


Figure 4.12 : Partie réelle du FCM en fonction de la fréquence appliquée pour différents types de nanofils : (a) Si, (b) Si (n++), (c) SiGe.

Cette large fréquence de relaxation aidera à maintenir un FCM presque constant pour les nanofils dopés, contrairement aux nanofils non dopés, qui montrent une relaxation. Cette observation traduit alors le faible nombre des nanofils non dopés attirés pour des fréquences supérieures à 1 MHz par rapport aux nanofils dopés.

Nous avons également étudié et comparé l'effet de la DEP sur des nanofils intrinsèques de nature différente (Si et SiGe). Comme observé sur les nanofils de silicium, le «  $\text{Re}(k(\omega))$  » des nanofils SiGe diminue en augmentant la fréquence appliquée. La similitude du comportement de ces deux types de nanofils peut être liée à l'aspect dominant du silicium (70%) présent dans le nanofil par rapport à celui du germanium (30%).

Afin de valider les mesures du FCM via la méthode de l'extraction de la vitesse, on a tracé la valeur théorique de ce facteur en se basant sur l'équation 4.13 à l'aide du logiciel Matlab. Les figures 4.13 (a) et (b) montre les deux courbes expérimentales et théoriques de la partie réelle du FCM des nanofils Si et SiGe en fonction de la fréquence appliquée (Voir annexe B pour le code Matlab). Les deux courbes montrent une tendance identique du FCM en fonction de la fréquence appliquée. Ce facteur diminue en augmentant la fréquence pour atteindre des valeurs presque nulles pour des fréquences dans l'ordre de MHz.

À la suite de cette étude, nous avons aussi repéré un autre phénomène. Pour la plupart des nanofils, la courbe expérimentale présente un pic de vitesse (et du  $\text{Re}(k(\omega))$ ) observé pour une fréquence spécifique (figure 4.12). Nous proposons que ce pic se produise à une valeur de fréquence dite fréquence de capture ( $F_{\text{cap}}$ ). Cette dernière a été mentionnée pour la première fois par Collet *et al.*[31]. Elle représente l'équilibre obtenu entre l'orientation et la magnitude de la force de DEP, amenant à un rendement plus élevé des nanofils dans le gap des électrodes. Afin d'évaluer cette fréquence, il sera indispensable de la corrélérer avec le nombre des sites où une connexion des nanofils a eu lieu. C'est pour cette raison que nous allons dans la partie suivante montrer une étude menée pour détecter le rendement de connexion en fonction de la fréquence appliquée. L'objectif sera de pouvoir repérer l'existence d'une telle fréquence de capture. La valeur de cette fréquence semble être dépendante de la nature et du dopage des nanofils.



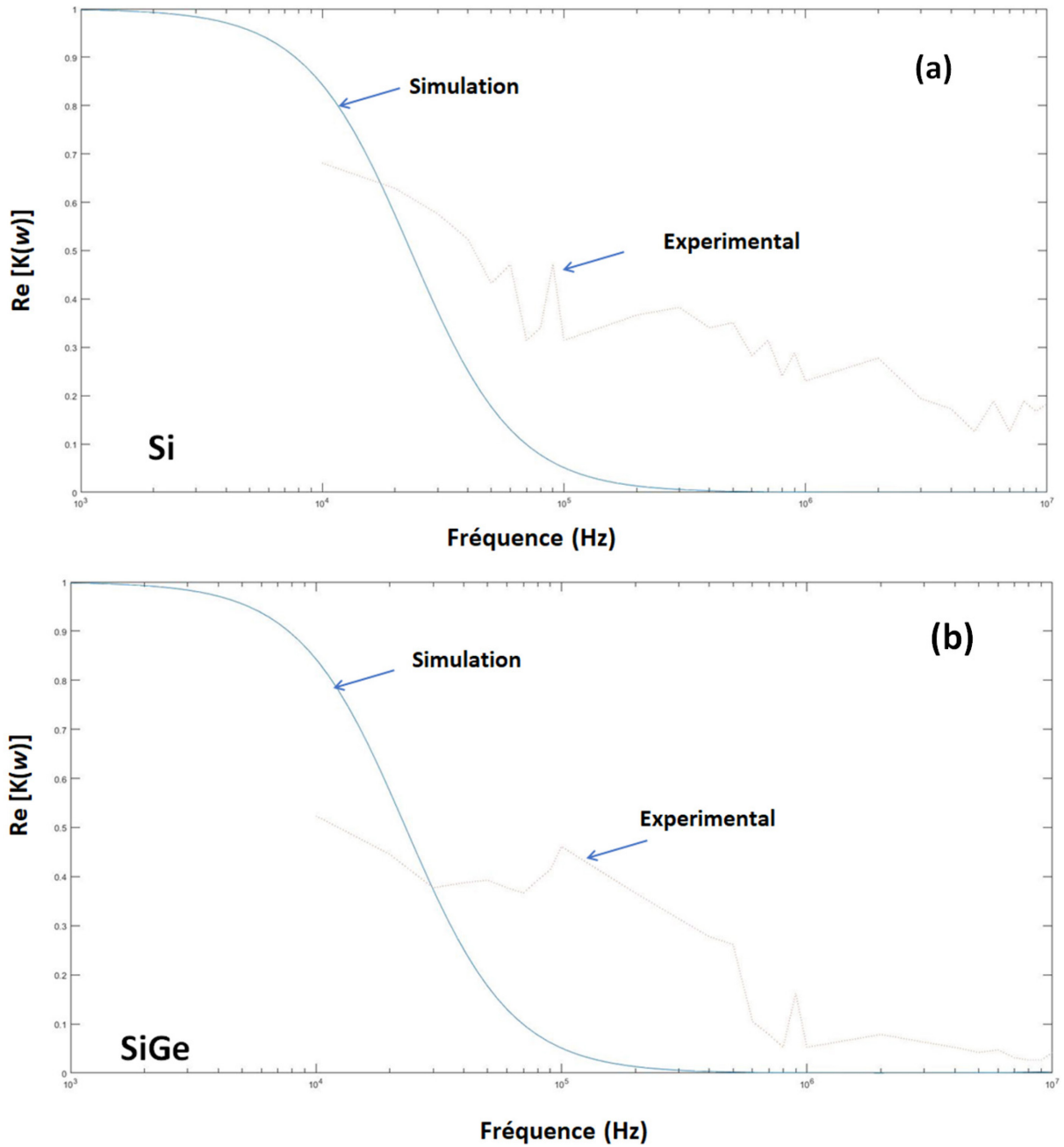


Figure 4.13 : Courbe théorique et expérimentale de la partie réelle du FCM en fonction de la fréquence appliquée pour différents types de nanofils : (a) Si, (b) Si (n++), (c) SiGe.

Nous suggérons ainsi qu'une modification des propriétés des nanofils affecte le profil de la vitesse d'attraction, amenant ainsi à des différentes valeurs de  $F_{cap}$  pour chaque type de nanofils.

#### 4.4.3 Étude du rendement et de la fréquence de capture

Afin de mener cette étude, 10 électrodes en or ont été élaborées sur un substrat SiO<sub>2</sub>/Si. Le protocole de fabrication commence par une insolation de la résine à l'aide d'un aligneur optique, suivi d'un processus de dépôt Ti (5 nm) /Au (100 nm) et d'une étape de soulèvement. Un nettoyage au plasma d'oxygène est effectué pour éliminer les résidus de la résine restante. La longueur et la largeur finale des doigts des électrodes sont de 100 µm et 5,5 µm respectivement, tandis que l'écart inter-électrode est maintenu constant entre 5 et 6 µm (figure 4.14).

Après la dispersion d'une gouttelette de nanofils, les expériences commencent par l'application d'un signal sinusoïdal avec une intensité du champ électrique constante d'environ 1,25 V/µm entre les électrodes. Après 45 secondes, le signal est désactivé et un flux d'azote permet d'éliminer la goutte dispersée.

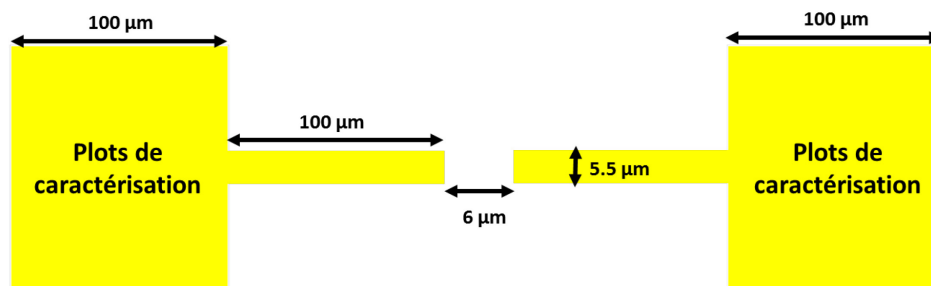


Figure 4.14 : Illustration schématique des sites d'alignement individuels en or pour la connexion et la caractérisation électrique des nanofils

Les sites d'alignements sont ensuite examinés après DEP à l'aide d'une microscopie électronique à balayage. Dans ces conditions, trois types de sites d'alignements sont détectés comme le montre la figure 4.15 : a) sites vides sans aucun nanofil attiré ; b) sites avec des nanofils attirés non alignés ; et c) sites avec des nanofils attirés et alignés. L'extraction du rendement d'alignement a pris en considération uniquement les sites d'alignement avec des nanofils attirés et alignés.

Ce rendement est calculé en moyenne à partir de deux expériences, réalisées chacune sur 10 électrodes. Une faible marge d'erreur (<10%) est observée entre les deux expériences pour une même tension et fréquence de signal.

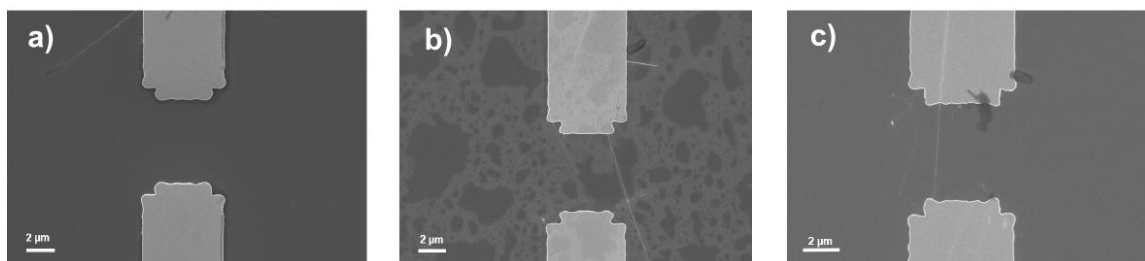


Figure 4.15 : Images SEM des sites d'alignement individuels après DEP : (a) Site d'alignement vide. (b) Site des nanofils attirés non alignés. (c) Sites de nanofils attirés alignés.

La figure 4.16 représente l'étude établie sur le rendement d'alignement des nanofils connectés en fonction de la fréquence appliquée. Elle révèle clairement que chaque type de nanofils présente un rendement de connexion élevé à la fréquence de capture observée sur la courbe de  $\text{Re}(k(w))$  (figure 4.12). Le bon équilibre entre l'orientation et l'amplitude de la force de DEP à la fréquence de capture conduit à un meilleur rendement des nanofils alignés entre les électrodes. Un rendement élevé de nanofils connectés est aussi observé à basses fréquences. Pour cette gamme de fréquence, l'amplitude des deux forces DEP et ACEO est significative, avec une direction du flux orientée vers les électrodes. En se basant sur l'étude qualitative faite dans la section (4.4.1), les forces ACEO poussent les nanofils à s'aligner de manière parallèle à la direction des électrodes. Grâce aux forces de DEP, ils seront par la suite attirés et piégés dans le gap. Cette combinaison des forces contribue à un rendement d'alignement plus élevé pour une gamme de faibles valeurs de fréquences.

Cependant, il existe une différence concernant l'alignement observé à une fréquence de capture et à basses fréquences. Les figures dans 4.16 présentent les sites d'alignement pour différents types de nanofils à basses et hautes fréquences (30 kHz et 5 MHz) ainsi qu'à la fréquence de capture [100 kHz pour les nanofils SiGe et 700 kHz pour les nanofils Si (n++)].

A la fréquence de capture, les sites tendent à être bien ordonnés avec un nombre réduit des nanofils attirés entre les électrodes, contrairement à ceux qui sont observés à basses fréquences et qui contiennent à la fois des nanofils alignés et non alignés disposés de manière aléatoire. Pour des observations à hautes fréquences, le rendement des nanofils connectés était inférieur à 20% dans la majorité des cas. Ceci est probablement dû à la force ETE qui augmente considérablement sur cette gamme de fréquence, avec des rouleaux fluidiques inversées qui s'écoulent du gap vers les électrodes, réduisant ainsi la connexion des nanofils entre les électrodes (voir paragraphe 4.4). Ces observations reflètent l'impact de la compétition entre les

différentes forces (DEP et ACEO) sur les nanofils dans cette gamme de fréquence, et présentent la nécessité d'atteindre un équilibre entre ces forces pour obtenir la meilleure configuration d'alignement.

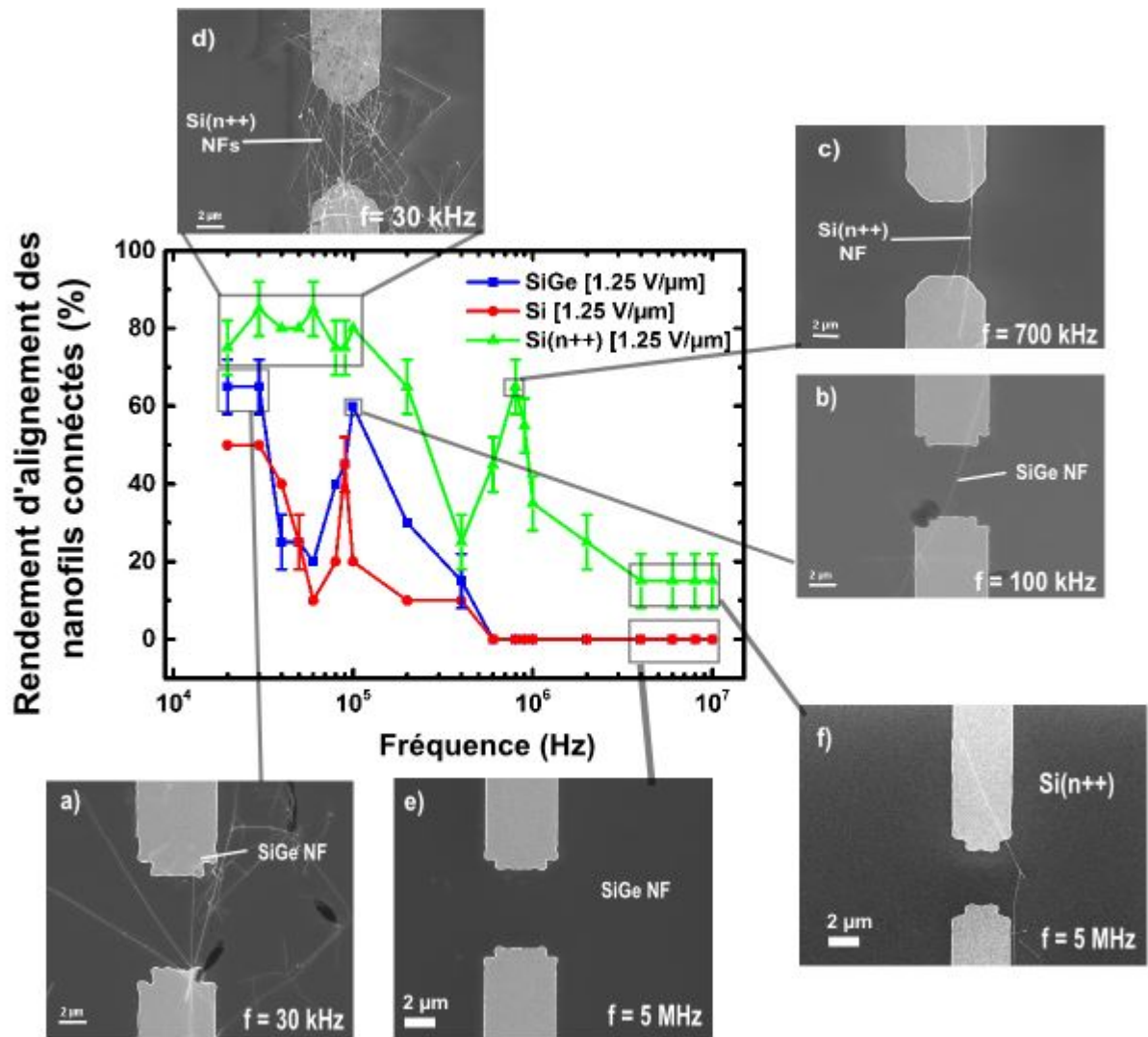


Figure 4.16 : Rendement d'alignement des nanofils connectés en fonction de la fréquence appliquée. Images SEM des sites d'alignement individuels après DEP pour les différentes compositions du nanofil : (a) image SEM pour nanofils SiGe à 30 kHz (basse fréquence). (b) Image SEM pour nanofils SiGe à 100 kHz ( $F_{cap}$ ). (c) image SEM pour nanofils Si (n++) à 700 kHz ( $F_{cap}$ ). (d) image SEM pour nanofils Si (n++) à 30 kHz (basse fréquence). (e) image SEM pour nanofils SiGe à 5 MHz (haute fréquence). (f) image SEM pour nanofils Si (n++) à 5 MHz (haute fréquence). [Échelle : 2 μm]

Dans son étude, Collet *et al.*[31] ont identifié la fréquence de capture pour des nanofils à base de silicium, Arsénure d'indium (InAs) et oxyde de zinc (ZnO), à partir d'une formulation

empirique mixte (équation 4.22) entre les contributions des différents axes (courts et longs) pour diverses fréquences du signal DEP avec :

$$\text{Re} [k(w)_{\text{Long axis}}] \approx 3000 \text{Re} [k(w)_{\text{Short axis}}] \quad (\text{Eq. 4.22})$$

La figure 4.17 montre des simulations COMSOL de la force DEP résultante sur des nanofils Si ( $F_{\text{dep } x}$  parallèle aux électrodes et  $F_{\text{dep } y}$  normale aux électrodes) pour trois fréquences spécifiques, et le rendement des nanofils connectés en fonction de la fréquence DEP pour plusieurs types de matériaux.

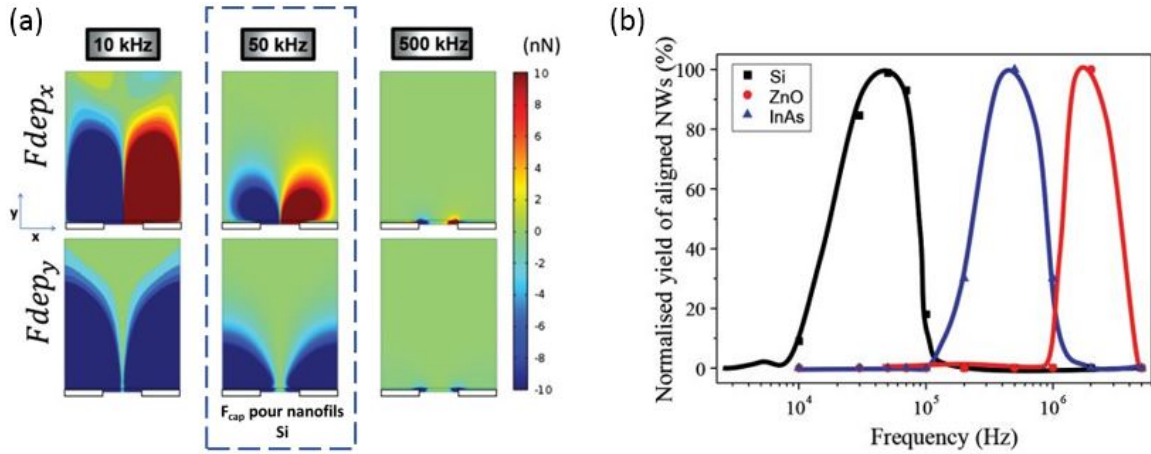


Figure 4.17 : (a) Simulations COMSOL de la force DEP résultante sur des nanofils Si et (b) le rendement des nanofils connectés en fonction de la fréquence [31].

Toutefois, la méthode de détection de  $F_{\text{cap}}$  utilisée dans notre étude montre des valeurs différentes par rapport à celle de Collet *et al.* (Figure 4.18). Nous suggérons que la raison derrière cette observation peut être attribuée aux différentes valeurs de résistivité et de la longueur des nanofils utilisées entre ces deux études. En effet, la résistivité des nanofils de silicium intrinsèque conçus pour notre étude, était 10 fois inférieure que celle des nanofils dans l'étude de Collet *et al* sachant que leurs longueurs étaient supérieures ( $\sim 2$ -3 fois plus long).

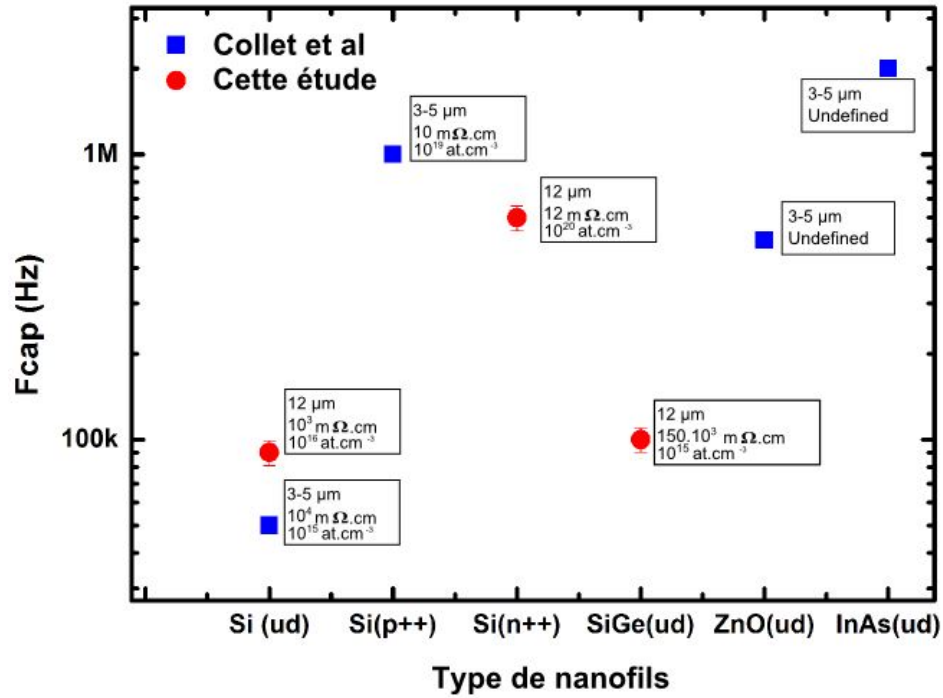


Figure 4.18 : Comparaison entre notre méthode présentée et l'approche élaborée par Collet *et al.* sur la fréquence de capture en fonction de différent type de nanofils [Longueur (μm), résistivité (mΩ.cm) et la concentration des dopants (at.cm<sup>-3</sup>)]

Il faut mentionner que le rendement n'est pas seulement limité à la force de DEP, mais aussi à la pureté de la solution et à la densité des nanofils. C'est pour cette raison qu'il devient indispensable d'utiliser des processus de purification dans la solution, afin d'obtenir un taux de réussite encore plus élevé [32].

#### 4.4.4 Localisation des nanofils sur un substrat en silicium recouvert par un oxyde

L'un des objectifs de cette étude est de pouvoir aligner les nanofils de manière horizontale afin de pouvoir fabriquer ultérieurement des transistors dans le BEOL d'une puce CMOS (chapitre 5). Nous allons montrer que cette technique de DEP est une approche fiable pour positionner les nanofils entre les électrodes, ce qui permet leur caractérisation par la suite.

Pour des nanofils SiGe ( $F_{cap} = 100$  kHz), des mesures électriques ont été effectuées sur les électrodes après alignement. Au début une reprise de contact métallique (80 nm Ni / 120 nm Al)

a été réalisée sur les extrémités des nanofils en utilisant respectivement une photolithographie, une évaporation par faisceau électronique et une étape de soulèvement.

Les propriétés électriques à température ambiante des nanofils connectés ont été obtenues à l'aide d'un analyseur paramétrique Keithley 4200. Par la suite, un recuit à 400°C pendant 1 min a été effectué dans un four RTP (Rapid Thermal Process). Ce recuit permet de réduire les résistances de contact entre le canal et les contacts S/D. Cette étape de siliciuration favorise la diffusion du nickel dans le nanofil. Les caractéristiques I-V du contact S/D pour ce nanofil individuel attiré aux électrodes avant et après recuit, sont présentées dans la figure 4.19 (b,c).

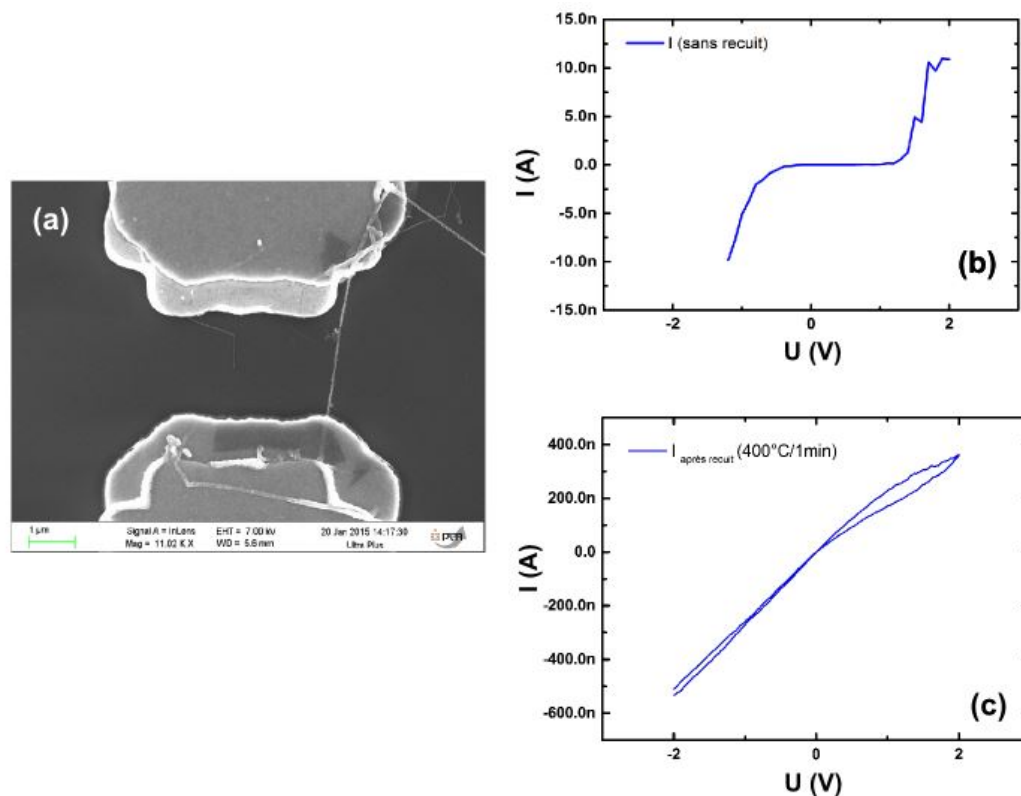


Figure 4.19 : (a) Nanofil SiGe connecté avec reprise de contact au-dessus après alignement par DEP ( $f = 100$  kHz), Caractéristiques  $I_{DS}-V_{DS}$  du dispositif à nanofil SiGe intrinsèque connecté : (a) avant siliciuration ; et (b) après siliciuration.

Dans un premier temps, ces mesures révèlent un contact type redresseur entre le nanofil et les électrodes dû à la barrière « Schottky » [figure 4.19 (b)]. Après siliciuration, la symétrie des courbes obtenues montre que les deux contacts tendent vers un comportement électrique identique. Ce phénomène observé correspond à la fois à la diminution de la hauteur de la barrière à l'interface métal /semi-conducteur, ainsi qu'à la diminution des pièges qui contribuent à

l'accrochage du niveau de Fermi pour des densités d'état d'interface élevée [33]. Il reste à noter que le processus d'alignement des nanofils par DEP ne dégrade pas la qualité électrique des nanofils attirés [34].

#### 4.4.5 Localisation des nanofils sur une puce CMOS

Afin d'intégrer des nanofils dans le BEOL alignés au-dessus des transistors existants dans le FEOL d'une puce, nous allons montrer l'intérêt que pourra apporter l'étude de diélectrophorèse. Nous avons utilisé l'étude de la fréquence pour connecter des nanofils SiGe entre des électrodes en or directement sur la puce CMOS fabriquée chez *ST Microelectronics*. La figure 4.19 (a, b, c d) montre l'alignement des nanofils SiGe sur différents sites après l'application d'une fréquence égale à la fréquence de capture ( $F_{\text{cap}} = 100 \text{ kHz}$ ). L'assemblage des nanofils sur une puce CMOS montre ainsi l'optimisation apportée au processus d'alignement et qui permet d'obtenir des sites assez propres avec des nanofils bien ordonnés. Ce processus d'assemblage des nanofils semi-conducteurs pour fabriquer des dispositifs dans le BEOL de la puce sera développé et présenté en détails dans le chapitre 5.

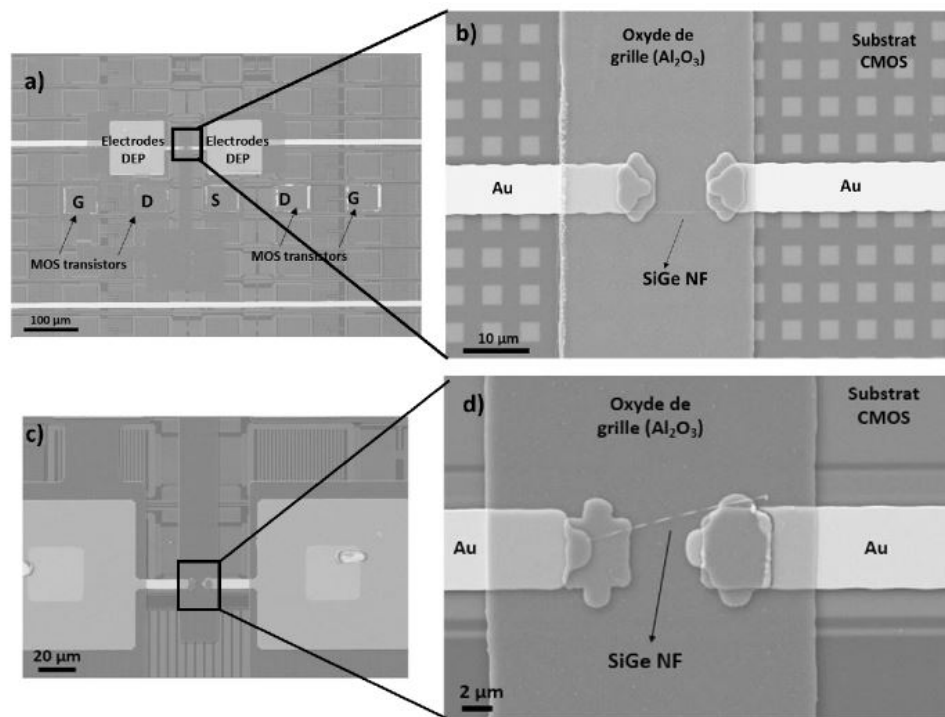


Figure 4.19 : Images SEM des différents sites d'alignement individuels après DEP pour une fréquence de capture ( $f = 100 \text{ kHz}$ ) sur une puce CMOS : (a) (c) situé au-dessus des transistors MOS avec un agrandissement respectif (b) (d) sur les électrodes connectées



## 4.5 Conclusion

Dans ce chapitre, Nous avons développé une méthode simple et efficace pour déterminer expérimentalement les propriétés électrocinétiques pour différents types de nanofils, ayant des dopages différents [(Si ; SiGe ; Si (n++)]. Après la présentation du protocole expérimental, une étude qualitative sur le mouvement des nanofils a permis de tracer le comportement de ces derniers en fonction de la compétition qui existe entre les différentes forces dans le système (DEP, ACEO, ETE).

Le calcul de la partie réelle du FCM a été basé sur les mesures des vitesses de nanofil dans un régime de DEP pur. Suite à l'exploration d'une large gamme de fréquence, nous avons pu identifier la présence d'une fréquence de capture ( $F_{cap}$ ) et qui reflète des conditions d'attraction optimisées pour différent type de nanofils. Ceci nous a permis à termes d'établir une connexion horizontale ciblée des nanofils entre les électrodes. Après la caractérisation électrique des nanofils attirés, nous avons remarqué que la résistance du contact diminue grâce à des procédés de siliciuration.

Finalement, nous avons pu également adapter cette étude pour connecter pour la première fois des nanofils SiGe entre les électrodes au-dessus des transistors FEOL et à température ambiante. Cette approche technologique qui respecte les budgets thermiques nécessaires à l'intégration 3D, offre aussi la possibilité de fabriquer des transistors à canaux nanofils et qui sera montrée dans le chapitre suivant.

## Listes des références du chapitre 4

- [1] D. Whang, S. Jin, Y. Wu, and C. M. Lieber, "Large-scale hierarchical organization of nanowire arrays for integrated nanosystems," *Nano Letters*, vol. 3, no. 9, pp. 1255–1259, 2003.
- [2] Y. Huang, X. Duan, Q. Wei, and C. M. Lieber, "Directed assembly of one-dimensional nanostructures into functional networks," *Science*, vol. 291, no. 5004, pp. 630–633, 2001.
- [3] A. Javey, S. Nam, R. S. Friedman, H. Yan, and C. M. Lieber, "Layer-by-layer assembly of nanowires for three-dimensional, multifunctional electronics," *Nano Letters*, vol. 7, no. 3, pp. 773–777, 2007.
- [4] Z. Fan, J. C. Ho, Z. A. Jacobson, R. Yerushalmi, R. L. Alley, H. Razavi, and A. Javey, "Wafer-scale assembly of highly ordered semiconductor nanowire arrays by contact printing," *Nano Letters*, vol. 8, no. 1, pp. 20–25, 2008.
- [5] J. W. Lee, K. J. Moon, M. H. Ham, and J. M. Myoung, "Dielectrophoretic assembly of GaN nanowires for UV sensor applications," *Solid State Communications*, vol. 148, no. 5–6, pp. 194–198, 2008.
- [6] S. Raychaudhuri, S. a Dayeh, D. Wang, and E. T. Yu, "Precise semiconductor nanowire placement through dielectrophoresis," *Nano letters*, vol. 9, no. 6, pp. 2260–6, Jun. 2009.
- [7] H. Morgan and N. G. Green, *AC Electrokinetics*. 2003.
- [8] A. Ramos, H. Morgan, N. G. Green, and A. Castellanos, "The role of electrohydrodynamic forces in the dielectrophoretic manipulation and separation of particles," *Journal of Electrostatics*, vol. 47, pp. 71–81, 1999.
- [9] J. Oh, R. Hart, J. Capurro, and H. M. Noh, "Comprehensive analysis of particle motion under non-uniform AC electric fields in a microchannel," *Lab on a chip*, vol. 9, no. 1, pp. 62–78, Jan. 2009.
- [10] A. Ramos, H. Morgan, N. G. Green, and A. Castellanos, "Ac electrokinetics: a review of forces in microelectrode structures," *Journal of Physics D: Applied Physics*, vol. 31, no. 18, pp. 2338–2353, 1999.
- [11] T. Honegger, "Électrocinétique tridimensionnelle de particules colloïdales En Géométrie microfluidique et application à la manipulation de cellules," *These de doctorat*, Univ. de Grenoble-Alpes, 2011.
- [12] H. Morgan and N. G. Green, "Dielectrophoretic manipulation of rod-shaped viral particles," *Journal of Electrostatics*, vol. 42, no. 3, pp. 279–293, 1997.
- [13] Y. Liu, J. H. Chung, W. K. Liu, and R. S. Ruoff, "Dielectrophoretic assembly of nanowires," *Journal of Physical Chemistry B*, vol. 110, no. 29, pp. 14098–14106, 2006.
- [14] E. M. Freer, O. Grachev, D. P. Stumbo, X. Duan, S. Martin, and D. P. Stumbo, "High-yield self-limiting single-nanowire assembly with dielectrophoresis," *Nature nanotechnology*, vol. 5, no. 7, pp. 525–530, 2010.
- [15] B. Cetin and D. Li, "Dielectrophoresis in microfluidics technology," *Electrophoresis*, vol. 32, no. 18, pp. 2410–2427, 2011.
- [16] H. A. Pohl, "The motion and precipitation of suspensoids in divergent electric fields," *Journal of Applied Physics*, vol. 22, no. 7, pp. 869–871, 1951.
- [17] Q. Tao, M. Jiang, and G. Li, "Simulation and experimental study of nanowire assembly by dielectrophoresis," *IEEE Transactions on Nanotechnology*, vol. 13, no. 3, pp. 517–

- 526, 2014.
- [18] K. Khoshmanesh, S. Nahavandi, S. Baratchi, A. Mitchell, and K. Kalantar-zadeh, "Dielectrophoretic platforms for bio-microfluidic systems," *Biosensors and Bioelectronics*, vol. 26, no. 5, pp. 1800–1814, 2011.
  - [19] J. J. Boote and S. D. Evans, "Dielectrophoretic manipulation and electrical characterization of gold nanowires," *Nanotechnology*, vol. 16, no. 9, pp. 1500–1505, Sep. 2005.
  - [20] J. Oh, R. Hart, J. Capurro, and H. M. Noh, "Comprehensive analysis of particle motion under non-uniform AC electric fields in a microchannel.," *Lab on a chip*, vol. 9, no. 1, pp. 62–78, 2009.
  - [21] R. S. Wagner and W. C. Ellis, "Vapor-liquid-solid mechanism of single crystal growth," *Applied Physics Letters*, vol. 4, no. 5, pp. 89–90, 1964.
  - [22] P. Gentile, A. Solanki, N. Pauc, F. Oehler, B. Salem, G. Rosaz, T. Baron, M. Den Hertog, and V. Calvo, "Effect of HCl on the doping and shape control of silicon nanowires," *Nanotechnology*, vol. 23, no. 21, p. 215702, 2012.
  - [23] C. Benoit, "Caractérisation Électrocinétique de cellules humaines," *These de doctorat*, Univ. de Grenoble-Alpes, 2015.
  - [24] T. Honegger, K. Berton, E. Picard, and D. Peyrade, "Determination of Clausius-Mossotti factors and surface capacitances for colloidal particles," *Applied Physics Letters*, vol. 98, no. 18, pp. 2011–2014, 2011.
  - [25] M. Constantinou, G. P. Rigas, F. A. Castro, V. Stolojan, K. F. Hoettges, M. P. Hughes, E. Adkins, B. A. Korgel, and M. Shkunov, "Simultaneous Tunable Selection and Self-Assembly of Si Nanowires from Heterogeneous Feedstock," *ACS Nano*, vol. 10, no. 4, pp. 4384–4394, 2016.
  - [26] D. F. Chen and H. Du, "Simulation studies on electrothermal fluid flow induced in a dielectrophoretic microelectrode system," *Journal of Micromechanics and Microengineering*, vol. 16, pp. 2411–2419, 2006.
  - [27] S. Salomon, "Manipulation de microparticules exploitant la force de diélectrophorèse : applications dédiées au tri d'espèces biologiques et à l'assemblage de nano objets," *These de doctorat*, Université Paul Sabatier - Toulouse III, 2011.
  - [28] I. F. Sbalzarini and P. Koumoutsakos, "Feature point tracking and trajectory analysis for video imaging in cell biology.," *J Struct Biol*, vol. 151, no. 2, pp. 182–95, 2005.
  - [29] N. G. Green, A. Ramos, A. Gonzalez, H. Morgan, and A. Castellanos, "Fluid flow induced by nonuniform ac electric fields in electrolytes on microelectrodes. III. Observation of streamlines and numerical simulation," *Physical Review E - Statistical, Nonlinear, and Soft Matter Physics*, vol. 66, no. 2, pp. 1–11, 2002.
  - [30] C. Akin, J. Yi, L. C. Feldman, C. Durand, S. M. Hus, A. P. Li, M. A. Filler, and J. W. Shan, "Contactless determination of electrical conductivity of one-dimensional nanomaterials by solution-based electro-orientation spectroscopy," *ACS Nano*, vol. 9, no. 5, pp. 5405–5412, 2015.
  - [31] M. Collet, S. Salomon, N. Y. Klein, F. Seichepine, C. Vieu, L. Nicu, and G. Larrieu, "Large-scale assembly of single nanowires through capillary-assisted dielectrophoresis," *Advanced Materials*, vol. 27, no. 7, pp. 1268–1273, 2015.
  - [32] K. C. Pradel, K. Sohn, and J. Huang, "Cross-flow purification of nanowires," *Angewandte Chemie - International Edition*, vol. 50, no. 15, pp. 3412–3416, 2011.
  - [33] G. Rosaz, "Intégration 3D de nanofils Si-SiGe pour la réalisation de transistors verticaux 3D à canal nano fil," *These de doctorat*, Univ. de Grenoble-Alpes, 2012.

- [34] C. Leiterer, G. Broenstrup, N. Jahr, M. Urban, C. Arnold, S. Christiansen, and W. Fritzsche, "Applying contact to individual silicon nanowires using a dielectrophoresis (DEP)-based technique," *Journal of Nanoparticle Research*, vol. 15, no. 5, p. 1628, Apr. 2013.



# **CHAPITRE 5**

## **Intégration des transistors à canal nanofil sur une puce CMOS**

### **5.1 Introduction**

Nous avons présenté dans les chapitres précédents deux stratégies différentes pour adresser l'enjeu technologique de l'intégration des nanofils horizontaux dans des dispositifs fonctionnels. La première voie que nous avons explorée consistait à localiser les catalyseurs métalliques dans des tranchées d'oxyde pour guider la croissance des nanofils directement sur un substrat amorphe. Cette stratégie ouvre la possibilité de connecter des nanofils avec un alignement précis sur une grande surface. La seconde voie que nous avons décrite consistait à se servir de la diélectrophorèse pour contrôler l'orientation de ces nanostructures entre des électrodes prédéfinies. Cette technique présentée dans le chapitre 4, s'est avérée être un outil efficace pour un assemblage rapide, reproductible et précis des nanofils. Notons que ces deux approches technologiques offrent la possibilité de fabriquer des dispositifs ayant un canal cristallin et à basse température, ce qui ouvre la voie de leur intégration dans les zones froides d'une puce CMOS.

Nous allons dans la première partie de ce chapitre présenter les différentes étapes technologiques nécessaires à la fabrication des transistors à nanofils sur un substrat  $\text{SiO}_2/\text{Si}$ . Au cours de ce développement, la localisation des nanofils horizontaux entre les électrodes prédéfinies se fera à l'aide de la diélectrophorèse. Le choix de la fréquence sera en fonction des valeurs extraites dans le chapitre 4 [fréquence de capture ( $F_{\text{cap}}$ ) pour un alignement propre et bien ordonné avec un nombre réduit des nanofils attirés et les basses fréquences pour un alignement avec un grand nombre de nanofils attirés]. C'est un processus d'alignement simple qui ne demande pas l'utilisation d'outils avancés de fabrication. Pourtant, cette stratégie impose des procédés de fabrication spécifiques pour créer les plots de contact et les chemins métalliques, nécessaires pour appliquer un signal électrique. La siliciuration du contact, le dépôt d'oxyde et la réalisation d'une grille semi-enrobante ( $\Omega$ -gate) avec les contacts S /D constitueront les autres étapes technologiques dans ce processus de fabrication. Nous continuerons ensuite par l'étude du

comportement électrique des transistors fabriqués afin de comparer cette étude avec celles qui existent dans la littérature.

Dans la dernière partie de ce chapitre, nous allons mettre l'accent sur le procédé de fabrication des transistors sur une puce CMOS ainsi que les critères du design des masques. Nous détaillerons au début la structure générale de la puce, puis nous présenterons les différentes étapes technologiques permettant d'établir des transistors interconnectés à la logique CMOS. Enfin, nous exposerons les résultats préliminaires des propriétés électriques obtenues et nous exposerons les problèmes rencontrés.

## **5.2 Procédé de fabrication des transistors sur substrat SiO<sub>2</sub>/Si**

Un des objectifs majeurs de cette thèse consistera à fabriquer des transistors à canal nanofil horizontale compatible CMOS. Ce procédé d'intégration demande un développement particulier de plusieurs étapes technologiques. Nous allons décrire dans la section suivante une approche générique pour réaliser des transistors sur un substrat silicium, recouvert par un oxyde.

### **5.2.1 Protocole expérimentale du procédé d'intégration**

La figure 5.1 illustre les différentes étapes technologiques du procédé. La première étape consiste à fabriquer les électrodes S/D ainsi que les plots de contacts pour la DEP. Le substrat est tout d'abord nettoyé avec une séquence de solution acétone-isopropanol. Ensuite une résine photosensible positive de type AZ est étalée sur les échantillons pendant 60 s à une vitesse de 4000 rpm et une accélération proche de 2 000 rpm.s<sup>-1</sup>. Après l'insolation et le développement de la résine, un dépôt de couches métalliques Ti (10 nm) / Au (120 nm) a été effectué suivi d'un soulèvement de la résine dans un bain d'acétone (Figure 5.1- A). Les résidus de la résine sont ensuite retirés à l'aide d'un plasma oxygène de 3 min. Dans la seconde étape, nous avons eu recours à la technique de diélectrophorèse pour positionner les nanofils de manière horizontale entre les électrodes (figure 5.1-B). Après le dépôt par évaporation d'une couche du métal Ni/Al, la reprise de contact entre les électrodes S/D et les nanofils est établie à 400°C pendant 1 min (figure 5.1-C).

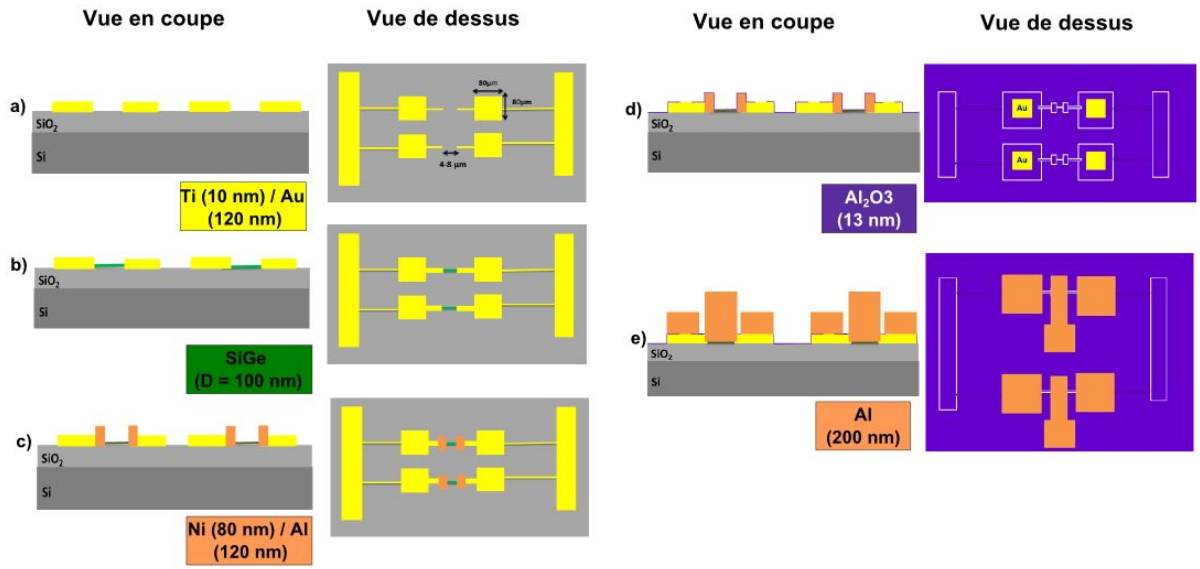


Figure 5.1 : Illustration schématique du procédé technologique pour la fabrication des transistors à nanofils horizontaux : (a) Formation des électrodes S/ D et les plots de contacts pour la DEP ; (b) DEP pour positionner les nanofils horizontalement entre les électrodes ; (c) reprise de contact sur les nanofils, suivi d'un recuit à 400 °C pendant 1 min ; (d) Dépôt à 250°C de l'oxyde de grille ( $\text{Al}_2\text{O}_3$ ) dans un bâti d'ALD et gravure de ce dernier dans les zones de contact. (e) Dépôt du métal de la grille pour finaliser la fabrication des transistors.

Cette dernière étape est importante afin de réduire les résistances de contact. L'étape technologique qui suit consiste à effectuer un dépôt de l'oxyde de grille ( $\text{Al}_2\text{O}_3$ ) dans un bâti d'ALD (atomic layer deposition). Après la gravure de l'oxyde sur les plots des électrodes (figure 5.1-D), la dernière étape consiste à déposer le métal de la grille pour finaliser la fabrication des transistors. Ce procédé permet d'obtenir une architecture de grille semi-enrobante ( $\Omega$ -grille) offrant un meilleur contrôle électrostatique sur le canal [1] (figure 5.1-E).

### 5.2.2 Localisation des nanofils par diélectrophorèse

Les nanofils SiGe utilisés dans cette étude possédaient un diamètre qui varie généralement entre 50 nm et 100 nm et une longueur moyenne de 11  $\mu\text{m}$ . Dans ce qui suit, nous avons choisi les paramètres optimisés antérieurement (fréquence, temps, valeur du champ électrique...), afin de réaliser l'alignement des nanofils SiGe entre les électrodes. Une fois que la solution a été dispersée sur la puce, un champ électrique de valeur 1,25 V/ $\mu\text{m}$  a été appliqué entre les électrodes pendant 45 s. Concernant la fréquence, nous avons eu recours à deux valeurs distinctes :  $f = 30$  kHz (basse fréquence) et  $f = 100$  kHz (fréquence de capture). L'idée de ce choix réside dans la possibilité d'obtenir plusieurs nanofils connectés à des basses fréquences,



contrairement à la fréquence de capture où généralement un nombre limité de nanofils sera connecté. Ceci va nous permettre de détecter l'effet du changement du nombre des nanofils connectés sur les performances électriques des transistors. La figure 5.2 montre la différence d'assemblage des nanofils SiGe entre les électrodes sur un substrat SiO<sub>2</sub>/Si pour une fréquence de 30 kHz et une autre de 100 kHz.

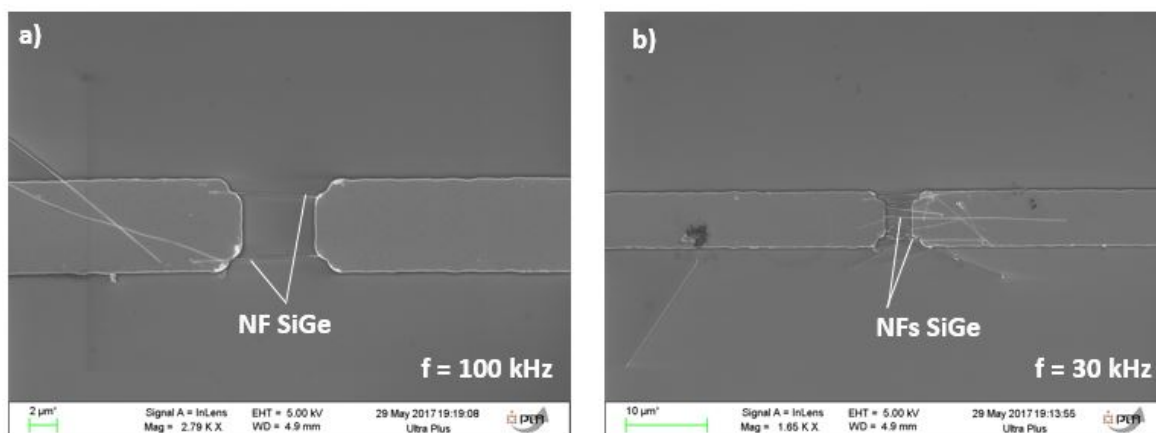


Figure 5.2 : Images SEM de l'assemblage des nanofils entre des électrodes en or pour une valeur du champ électrique égale à 1.25 V/μm pendant 45 s et une fréquence : (a) 100 kHz (fréquence de capture) et (b) 30kHz (basse fréquence).

### 5.2.3 Impact de la siliciuration

Dans les chapitres 3 et 4, nous avons abordé la notion et l'importance du recuit thermique afin de réduire les résistances d'accès aux électrodes S/D. La métallisation des régions (drain et source) est l'étape qui suit le positionnement des nanofils entre les électrodes dans le processus de la fabrication des transistors SB-FETs. Dans notre procédé, nous avons utilisé le nickel, qui présente la caractéristique de former des phases solides stables avec le silicium à basse température ( $< 400^{\circ}\text{C}$ ) [2]. Les échantillons ont été placés dans un four RTP porté à une température de  $400^{\circ}\text{C}$  pendant 1 min. Il est réalisé sous atmosphère neutre (N<sub>2</sub>) pour éviter tout risque d'oxydation lors de la montée en température. Il a été montré qu'une température de recuit supérieure à  $350^{\circ}\text{C}$  est nécessaire pour obtenir un alliage métallique de type Ni-SiGe, sachant qu'une température au-delà de  $500^{\circ}\text{C}$  (non compatible CMOS) peut engendrer des appauvrissements en germanium dans la phase Ni-SiGe [3].

Grâce à ce procédé technologique mis en place, nous avons obtenu 17 dispositifs avec des nanofils connectés, dont quatre seulement ont montré une conduction électrique avant recuit.

Après l'étape de la siliciuration des contacts, des mesures courant-tension ont montré que 12 dispositifs présentent une conduction électrique. La figure 5.3 montre des images SEM de deux sites d'électrodes connectés après siliciuration et leurs mesures courant-tension respectives. On observe ainsi une augmentation du courant de conduction en fonction des nanofils connectés pour les mêmes tensions appliquées. Les deux courbes montrent aussi une conduction électrique de type Schottky. La différence observée dans le comportement électrique Schottky présentée dans la figure 5.3 peut être attribuée à des mécanismes de transport différents intervenant avec des pondérations différentes et/ou à une couverture inégale du métal d'un contact à l'autre à la suite du procédé de siliciuration. Tous ces phénomènes attribuent l'apparition des barrières avec des hauteurs différentes dues à un dopage intrinsèque différent dans le canal à proximité du contact engendrant une composante de courant tunnel. Notons que les résidus de la résine restante, ou un dopage non électriquement actif à l'intérieur du nanofil pourront être la cause de l'absence totale du courant électrique même après siliciuration [4].

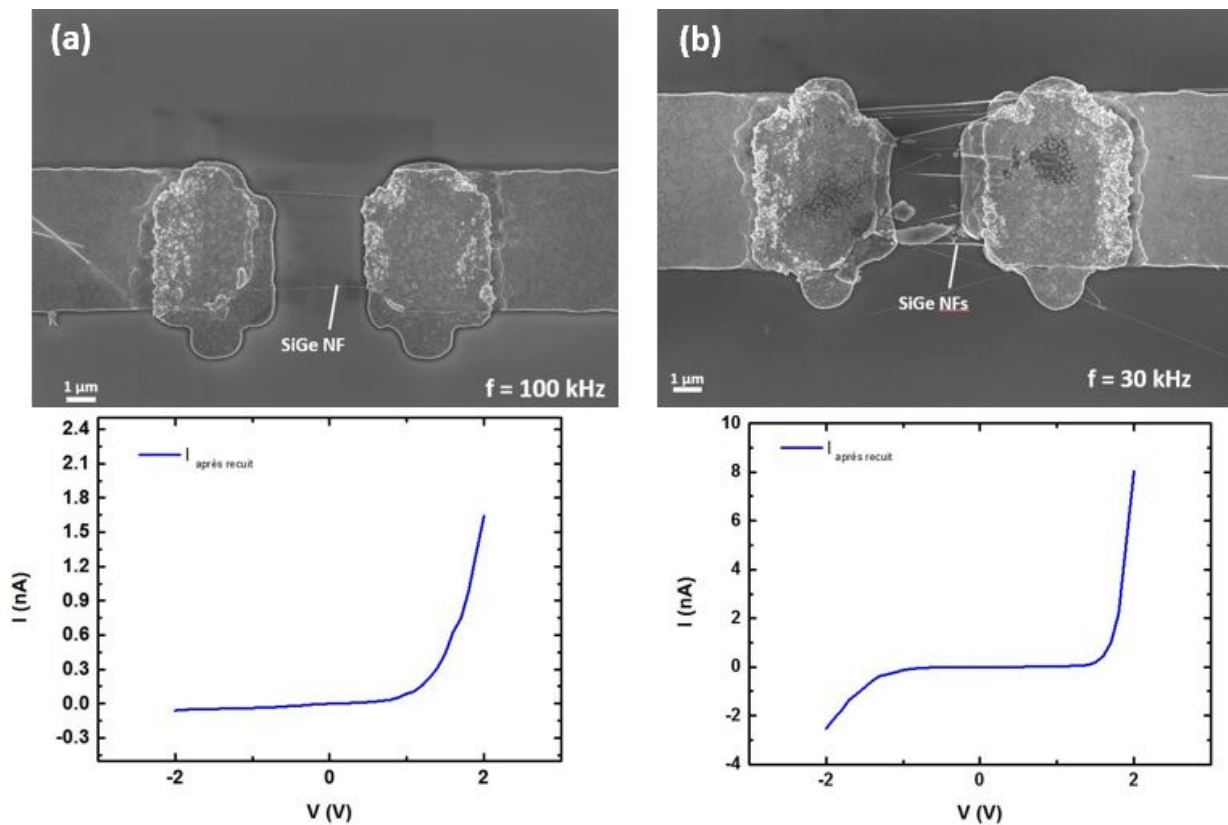


Figure 5.3 : Images SEM des sites d'électrodes connectés après recuit avec leurs courbes I-V respectives pour une (a) fréquence de capture (100 kHz) et (b) basse fréquence (30 kHz).

## 5.2.4 Dépôt de l'oxyde de grille et des plots de contact du transistor

Comme la fabrication des transistors dans le BEOL ne doit jamais dépasser le budget thermique fixé à 500°C [5], le dépôt des couches d'oxyde devra aussi respecter cette condition. L'ALD « *atomic layer deposition* » est une technique qui permet le dépôt des matériaux diélectriques connus sous le nom de « high-k », à des températures autour de ~250°C et de manière conforme. Le choix de l'utilisation de ces matériaux repose sur des critères comme la stabilité thermique, les défauts d'interfaces, la compatibilité avec le procédé de fabrication MOS (gravure, recuits, matériau de grille), la fiabilité, et l'épaisseur équivalente (EOT) à l'oxyde de silicium d'un point de vue « contrôle électrostatique ».

De tous ces matériaux, nous avons opté pour le choix de l'alumine ( $\text{Al}_2\text{O}_3$ ) qui présente un gap d'énergie élevée (8.8eV), une structure amorphe stable thermiquement, ainsi qu'une  $\text{EOT}_{\min}$  relativement élevée (9.6Å) [6]. L'oxyde d'Hafnium ( $\text{HfO}_2$ ) est un autre matériau qui pourra être utilisé, grâce à ses faibles défauts d'interface [6].

Après la reprise du contact sur le nanofil, nous avons déposé 13 nm d' $\text{Al}_2\text{O}_3$  à 250°C dans un bâti d'ALD sur tout le substrat. Par la suite, nous avons réalisé une lithographie optique dans la zone des plots d'électrodes, suivi d'une gravure plasma pour graver l'alumine déposée. En effet, une chimie de  $\text{BCl}_3$  a été utilisée avec les conditions suivantes : 1/ un flux de 50 sccm, 2/ une puissance ICP de 600 W, 3/ une puissance du platen RF à 15 W, 4/ une température de 50°C, 5/ une pression de 5 mTorr et 6/ une durée de 25 s. La figure 5.4 montre une image optique d'un site d'électrode avec les zones d'alumine gravées.

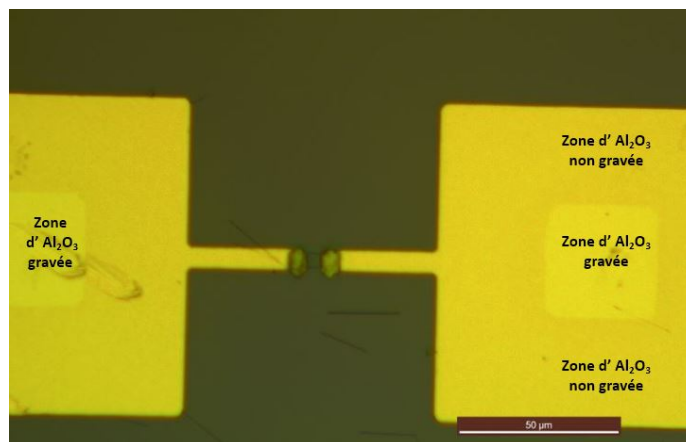


Figure 5.4 : Image optique de la zone des électrodes gravée pour éliminer 13 nm de l'oxyde de grille ( $\text{Al}_2\text{O}_3$ ). La dernière étape consiste à définir et déposer le métal de la grille, ainsi que celui des électrodes S/D permettant de réaliser les mesures électriques. Après une photolithographie, nous avons

déposé cette fois-ci 200 nm d'aluminium, suivi d'un « *lift off* » du métal et d'un nettoyage au plasma d'oxygène. La structure finale des transistors fabriqués avec une grille semi-enrobante ( $\Omega$ -FET) à base d'alumine/aluminium ( $\text{Al}_2\text{O}_3/\text{Al}$ ) est présentée dans la figure 5.5.

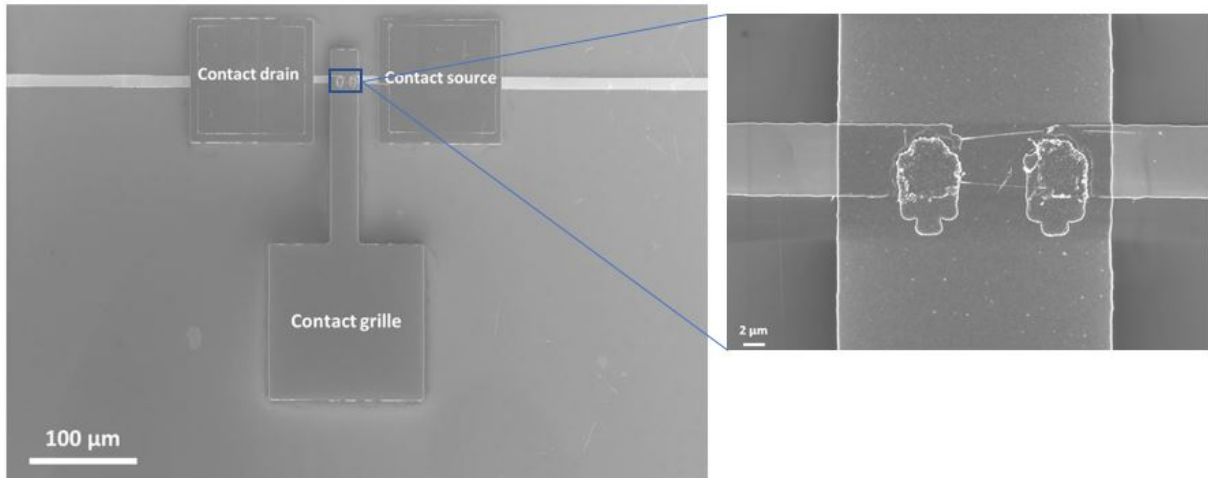


Figure 5.5 : Image SEM d'un transistor FET à nanofils SiGe avec les contacts, fabriqué sur un substrat  $\text{SiO}_2/\text{Si}$  et à une température inférieure au budget thermique.

### 5.3 Caractérisation électrique des transistors à nanofils horizontaux

Dans cette partie, nous allons présenter et caractériser les propriétés électriques des transistors obtenus grâce au procédé technologique établi. Nous commencerons par définir le fonctionnement d'un transistor avec ses différents paramètres d'une manière générale, puis nous les associerons à nos transistors fabriqués.

#### 5.3.1 Fonctionnement et paramètres clés du transistor

La caractéristique de transfert  $I_{\text{DS}} - V_{\text{DS}}$  pour un MOSFET idéal présente, pour n'importe quelle tension de grille, trois régions distinctes. Une région linéaire, une région non-linéaire et une région de saturation. Dans le cas d'un régime linéaire où s'applique une tension de drain faible, le courant  $I_{\text{DS}}$  est proportionnel à la tension  $V_{\text{DS}}$ . Un régime de saturation est obtenu pour des tensions de drain plus élevées, ( $|V_{\text{DS}}| > |V_{\text{DSAT}}|$ ), le courant  $I_{\text{DS}}$  se sature à une valeur proche de  $I_{\text{DSAT}}$ . Les caractéristiques d'un transistor MOSFET de type n est présenté sur la figure 5.6.

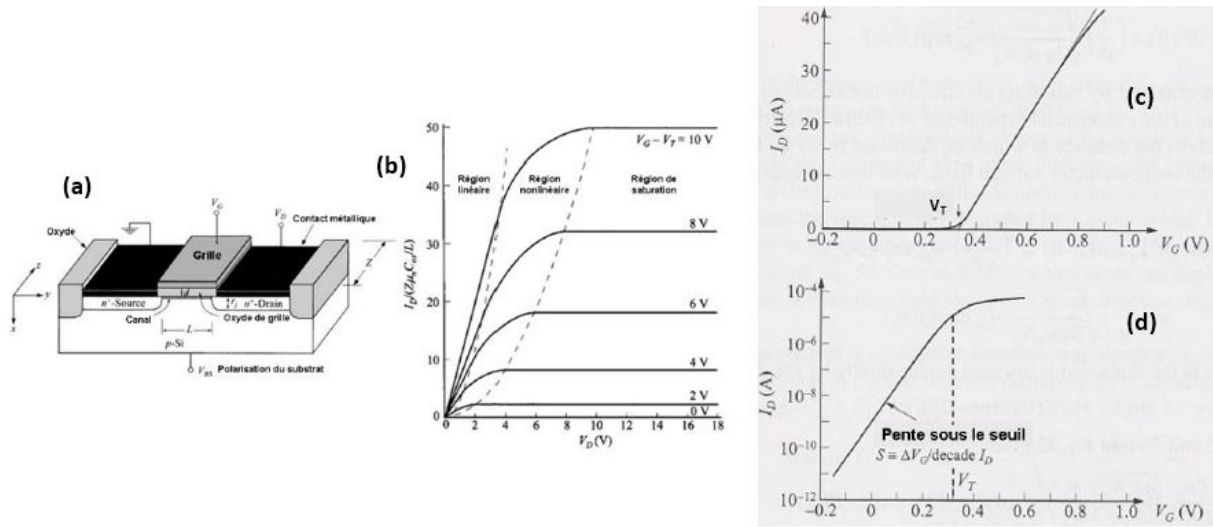


Figure 5.6 : (a) Schéma d'un N-MOS à enrichissement et (b) sa caractéristique  $I_{DS} - V_{DS}$  pour différentes tensions de grille. Caractéristiques électriques d'un transistor de type N :  $I_{DS} - V_{GS}$  avec les (a) représentations en échelle linéaire permettant le calcul de  $V_T$  et (b) logarithmique mettant en avant la pente sous le seuil [2].

#### A- Courants $I_{ON}$ et $I_{OFF}$ :

Différents paramètres permettent de qualifier le fonctionnement d'un transistor. Un de ces paramètres est le rapport entre le courant  $I_{ON}$  et le courant  $I_{OFF}$ . Le courant  $I_{ON}$  correspond à la quantité du courant que délivre un transistor quand il se trouve en régime de saturation ( $V_G > V_T$ ) tandis que le courant  $I_{OFF}$  caractérise le courant à l'état bloqué. Ce ratio doit être le plus important possible, afin d'obtenir une distinction claire entre les deux états et réduire la consommation de la puissance statique.

#### B- Tension de seuil $V_T$ :

C'est la tension de grille qui marque l'apparition d'une couche d'inversion de charges dans l'oxyde. Elle est extrapolée grâce à la mesure du courant de drain en fonction de la tension de grille en échelle linéaire. Sa valeur est ensuite déterminée à l'intersection de la droite tracée et l'axe des abscisses (Figure 5.9-ii).

#### C- Capacité de l'oxyde de grille $C_{ox}$ :

Le modèle utilisé est la configuration dans laquelle l'oxyde enrobe le nanofils avec un métal de grille semi enrobante en forme de  $\Omega$ . Le modèle se résume donc simplement à une configuration de grille cylindrique équivalente exprimée comme [7]:

$$C_{ox} = \frac{2\pi\epsilon_0\epsilon_r L}{\ln\left(\frac{2e_{ox}}{r}\right)} \quad (\text{Eq. 5.1})$$

où  $\epsilon_0$  est la permittivité électrique du vide,  $\epsilon_r$  la constante diélectrique de l'oxyde (9.5),  $L$  la longueur effective de grille ( $\sim 7 \mu\text{m}$ ),  $e_{ox}$  l'épaisseur de l'oxyde (13 nm) et  $r$  le rayon du nanofil ( $\sim 40 \text{ nm}$ ).

#### **D- Pente sous le seuil (SS) :**

La pente sous le seuil (SS) désigne la pente de la courbe  $I_{DS}$ - $V_{GS}$  lorsque  $V_{GS}$  est inférieur à  $V_T$  pour un transistor de type n et supérieur à  $V_T$  pour un transistor de type p. L'inverse de la pente sous le seuil caractérise le passage d'un état bloqué à un autre passant. Cette pente exprimée en mV/décade, est définie comme étant la variation de la tension  $V_{GS}$  nécessaire pour induire un changement d'un ordre de grandeur du courant de drain  $I_{DS}$ . Elle est calculée grâce à l'équation 5.2 :

$$SS = \frac{\Delta V_{GS}}{\log(I_{DS})} = \left(\frac{KT}{q}\right) \ln(10) \left(1 + \frac{C_d}{C_{ox}}\right) \quad (\text{Eq. 5.2})$$

Avec  $C_{ox}$  la valeur de la capacité de l'oxyde de grille et  $C_d$  la valeur de la capacité de déplétion.

La pente sous le seuil est également un indicateur de la qualité de l'interface de l'oxyde et du canal. Elle permet d'estimer la densité des pièges à l'interface oxyde-canal dans des transistors à nanofils comme proposé par [8].

A la présence d'une forte densité de pièges [ $Dit$  ( $\text{cm}^2 \cdot \text{eV}^{-1}$ )], sa capacité associée  $C_{it}$  ( $= qDit$ ) devient parallèle à la capacité de déplétion  $C_d$ . L'équation de la pente sous le seuil sera alors exprimée comme dans l'équation 5.3 :

$$SS = \left(\frac{KT}{q}\right) \ln(10) \left(1 + \frac{C_d}{C_{ox}} + \frac{C_{it}}{C_{ox}}\right) \quad (\text{Eq.5.3})$$

La limite théorique est obtenue lorsque la capacité de déplétion est également négligeable. Elle sera équivalente à :  $S_{min} = (KT/q) \ln 10 = 60 \text{ mV/décade}$  à  $T = 300 \text{ K}$ .

#### **E- Mobilité des porteurs :**

La mobilité des porteurs traduit le déplacement de ces derniers au sein du nanofil sous l'influence d'un champ électrique. Elle est exprimée en ( $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ) et peut être extraite d'après la relation suivante [2]:

$$\mu = \frac{dI_{DS}}{dV_{GS}} \frac{L^2}{C_{ox}} \frac{1}{V_{DS}} \frac{1}{N} \quad (\text{Eq.5.4})$$

Avec  $\frac{dI_{DS}}{dV_{GS}} = g_m$  la transconductance en Siemens,  $C_{ox}$  la capacité de l'oxyde de grille en Farad,  $L$  la longueur de la grille en cm et  $V_{DS}$  la tension source-drain en volts et  $N$  le nombre des nanofils connectés.

La mobilité calculée avec cette approche représente une mobilité apparente, qui ne tient pas en compte les résistances d'accès. Cependant, elle sera utilisée dans nos travaux afin de se comparer aux résultats qui existent dans la littérature et qui utilisent cette approche.

### 5.3.2 Propriétés électriques des transistors à nanofils SiGe

Grâce au procédé technologique développé, des dispositifs à nanofils SiGe horizontaux avec une grille semi-enrobante ont été fabriqués. Nous allons dans cette partie nous intéresser aux résultats des propriétés électriques obtenues sur quelques transistors à nanofils fabriqués (figure 5.7). Le dispositif n°1 (figure 5.7-(a) et (b)) est celui d'un canal à deux nanofils, alors que le dispositif n°2 (figure 5.7-(c) et (d)) est celui d'un canal à plusieurs nanofils (8 nanofils connectés entre les électrodes).

Ces mesures expérimentales révèlent que les dispositifs à nanofils fabriqués possèdent des caractéristiques de courant-tension typiques d'un transistor FET, telles qu'illustrées sur la figure 5.7 (b) et (d). Les courbes de courant ( $I_{DS}$ ) collectées en fonction de la tension de grille ( $V_{GS}$ ) pour une tension de drain ( $V_{DS} = -0.6 \text{ V}$ ) indiquent que ces dispositifs fonctionnent en mode d'accumulation de type p avec un faible courant de fuite.

En effet, ce régime d'accumulation des trous est établi pour des tensions de grille négatives, sachant que le canal est bloqué à des tensions de grille positives. Notons que la tension de seuil se trouve aux environs de  $-0.6 \text{ V}$  pour le dispositif n°1 et à  $0.45 \text{ V}$  pour le dispositif n°2.

Nous remarquons qu'un faible courant à l'état passant caractérise le fonctionnement de ces dispositifs [9] (surtout n°1). Ceci est due à la formation d'une barrière Schottky au niveau de la source et du drain.

Bien que nous confirmons que la siliciuration entre les électrodes et les nanofils a fortement contribué à la réduction de ces résistances des contacts, la distance entre l'interface nanofil/électrode et les zones siliciurées joue toujours un rôle majeur dans la détermination de cette réduction [10].

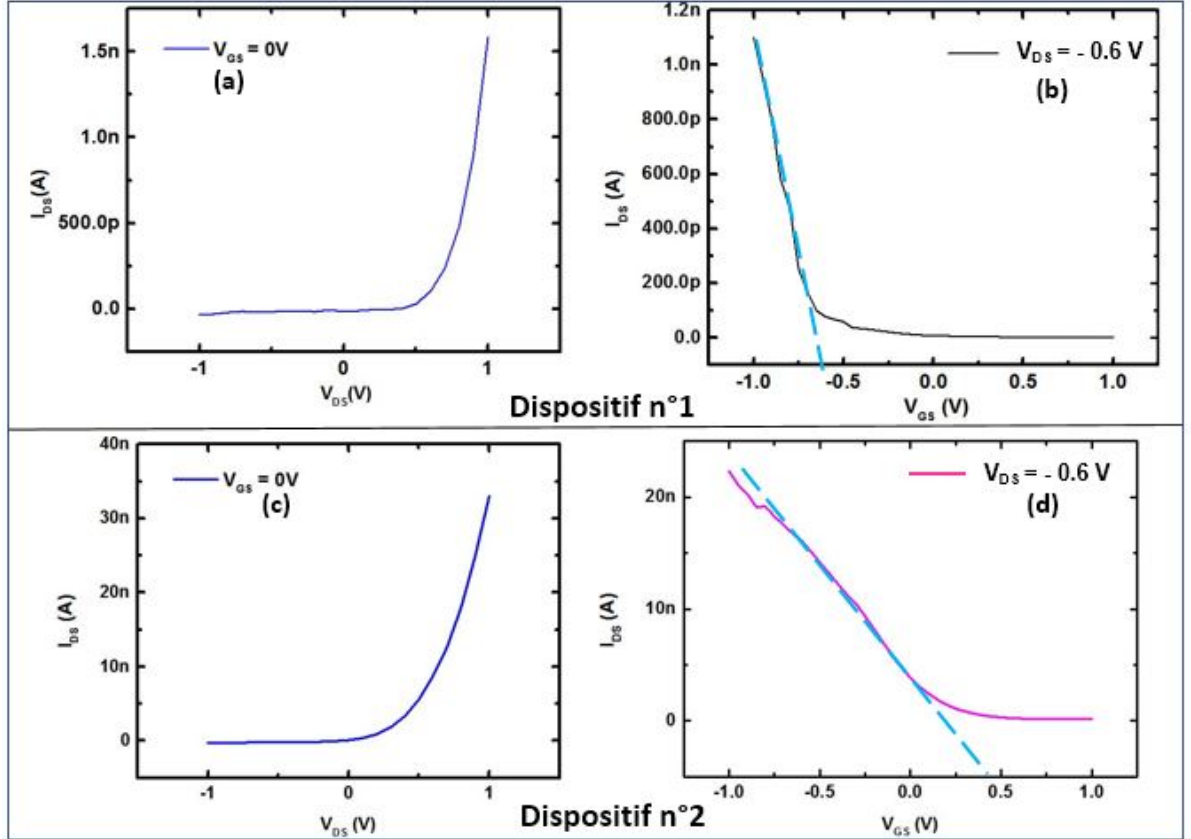


Figure 5.7 : a) courbe  $I_{DS} - V_{DS}$  pour une tension de grille nulle sur le dispositif n°1 (canal à deux nanofils). b) Courbe  $I_{DS} - V_{GS}$  pour une tension  $V_{DS} = -0.6$  V du dispositif n°1 avec extraction de la tension seuil. c) courbe  $I_{DS} - V_{DS}$  pour une tension de grille nulle sur le dispositif n°2 (canal à plusieurs nanofils) d) courbe  $I_{DS} - V_{GS}$  pour  $V_{DS} = -0.6$  V du dispositif n°2 avec extraction de la tension seuil.

Une autre raison de cette faible valeur du courant à l'état passant qui caractérise les transistors à nanofils sera la diminution de la mobilité des porteurs due aux états des pièges profonds créés par les impuretés d'or dans le nanofil [11] ou à cause de la longueur des nanofils considérés longs ( $> 3 \mu m$ ) et qui explique l'augmentation de la résistance série [12]. Ajouter le nombre des nanofils dans le canal des transistors est considéré comme une solution, qui a permis d'augmenter le niveau du courant à l'état passant comme le montre la figure 5.7-d.



La mobilité des porteurs des transistors FET a été extraite en utilisant l'équation du courant-tension, comme définie avant dans la section 5.3.1 (E). Les capacités de grille ont été calculées avec l'équation définie dans la section 5.3.1 (C). Pour une valeur de capacité calculée de 8,6 fF pour un  $\Omega$ -FET à nanofil ayant un canal de 7  $\mu\text{m}$  de long et de 80 nm de diamètre avec un oxyde de grille d'une épaisseur de 13 nm, la mobilité des trous a été estimée à environ  $0.25 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  pour une valeur de  $V_{\text{DS}} = -0.6 \text{ V}$  et  $V_{\text{GS}} = -1$ . Même si la valeur de cette mobilité estimée est considérée comme une valeur limite inférieure [13], elle reste pourtant proche des autres valeurs des valeurs de mobilités trouvées dans l'état de l'art des transistors FET à nanofils de silicium-germanium [14]. La mobilité a été calculée en considérant que tous les nanofils connectés fonctionnent électriquement. Cependant, certains d'entre eux peuvent ne pas fournir un bon contact électrique.

Nous avons pu également observer une différence de quelques centaines de mV sur la tension de seuil ( $V_{\text{T}}$ ) quand la tension  $V_{\text{DS}}$  a augmenté de 0,2 V à 0,8 V (représentée ici dans la figure 5.8- d). Ce changement obtenu dans la tension de seuil  $V_{\text{T}}$  de ces transistors a été aussi rapporté par Björk *et al.*[15], qui l'ont attribué à l'injection des porteurs minoritaires à travers la barrière Schottky.

Le rapport  $I_{\text{ON}} / I_{\text{OFF}}$  reste acceptable et varie entre  $10^3$  à  $10^4$  en fonction de la tension du drain appliquée. Le courant à l'état bloqué reste très faible autour de quelques pA. Ceci est considéré comme un paramètre clé pour les transistors SB-FET à faible consommation d'énergie. En ce qui concerne la pente sous-seuil SS, celle-ci reste relativement élevée et varie entre 300 à 500 mV /dec. Cette valeur élevée reflète une mauvaise qualité de l'interface et qui peut engendrer une densité de pièges assez élevée.

En effet, il a été prouvé que la densité d'états de l'interface ( $D_{\text{it}}$ ) entre un oxyde high-k et des nanofils SiGe est très élevée, ce qui limite l'amélioration de la mobilité de ce matériau. Cette densité des pièges pour un nanofil SiGe est par ailleurs  $\sim 3,5$  fois plus grande que celle d'un nanofil de silicium [16].

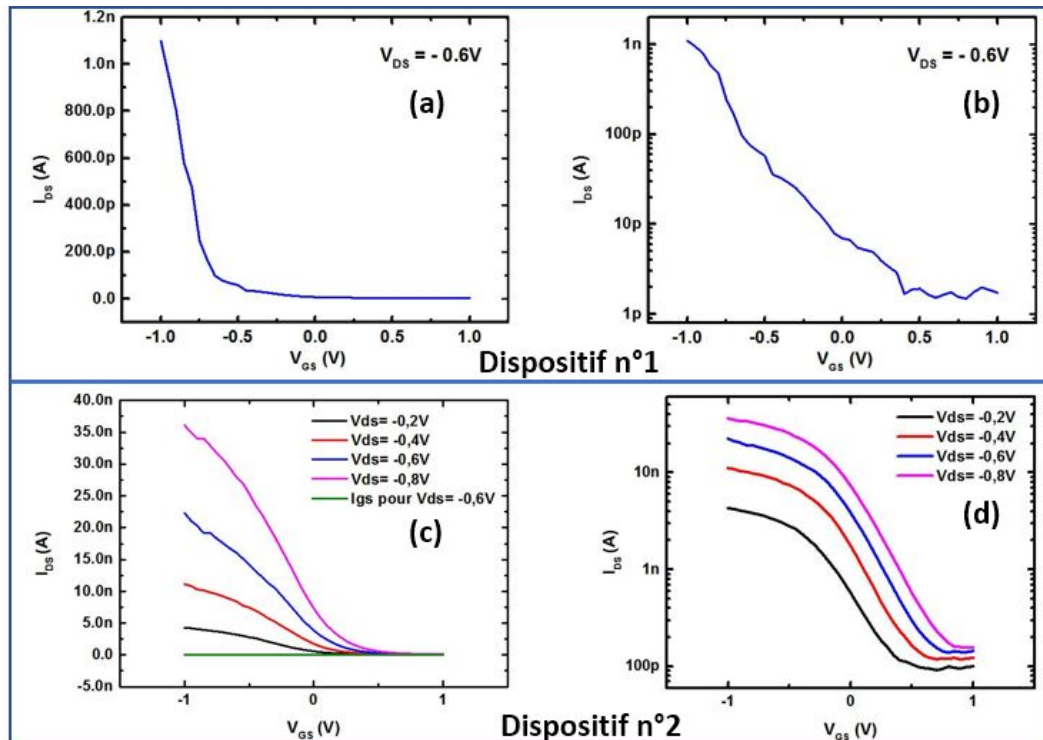


Figure 5.8 : Effet de la grille  $V_{GS}$  ( $\Omega$ -gate) sur le dispositif n°1 à deux nanofils et le dispositif n°2 à plusieurs nanofils de SiGe pour différentes polarisations du drain ( $V_{DS}$ ) en régime (a) linéaire et (b) logarithmique.

Le tableau 5.1 situe l'étude réalisée avec les précédents travaux rapportés sur des transistors à nanofils SiGe. Même si la longueur des nanofils dans cette étude reste relativement grande, la valeur de mobilité trouvée se trouve cohérente avec celle des autres transistors ayant la même composition de silicium- germanium.

La valeur de la pente sous le seuil reste inférieure à celle trouvée dans les études de Rosaz *et al.* [5], montrant ainsi un meilleur contrôle électrostatique avec des faibles épaisseurs d'alumine comparée à celle d'un oxyde thermique de silicium. Dans les études de Whang *et al.* [17], une faible valeur de la pente sous le seuil a été extraite. Cette dernière reflète la qualité d'interface obtenue suite à l'utilisation de l'oxyde d'hafnium et qui offre une faible densité de pièges comparé à l'alumine [6]. Il serait intéressant dans le futur de pouvoir réaliser des dispositifs avec différentes couches et épaisseur d'oxyde « High-K » afin de pouvoir vérifier leurs impacts sur la pente sous le seuil.

	Cette étude	Rosaz <i>et al.</i> [14]	Rosaz <i>et al.</i> [5]	Whang <i>et al.</i> [17]
Configuration	Grille enrobante planaire ( $\Omega$ -FET)	Verticale enrobante	Planaire-double grille	Planaire-Grille arrière
Type de nanofils	$\text{Si}_{0.7}\text{Ge}_{0.3}$	$\text{Si}_{0.7}\text{Ge}_{0.3}$	$\text{Si}_{0.7}\text{Ge}_{0.3}$	$\text{Si}_{0.85}\text{Ge}_{0.15}$
Longueur et diamètre des nanofils	$L = 11 \mu\text{m}$ , $D = 80 \text{ nm}$ (50 nm effectif)	$L = 2 \mu\text{m}$ , $D = 100 \text{ nm}$ (60 nm effectif)	$L = 12 \mu\text{m}$ , $D = 100 \text{ nm}$ (60 nm effectif)	$L = \text{N/A}$ , $D = 20 \text{ nm}$
Longueur de la grille	$7 \mu\text{m}$	200 nm	$1\text{-}1,2 \mu\text{m} / 4 \mu\text{m}$	$1 \mu\text{m}$
Diélectrique utilisé	$\text{Al}_2\text{O}_3$ (13 nm)	25 nm $\text{SiO}_2$ thermique	25 nm $\text{SiO}_2$ thermique	$\text{HfO}_2$
Métal pour la siliciuration	Ni	Ni	Ni	Pd
Métal de la grille	Al (200 nm)	Al (70 nm)	Al / Si	TaN
Pente sous le seuil (mV / dec)	300 - 500	900	3000 - 4200	$\approx 97$
Tension seuil (V)	-0.6 – 0.45	3.9	N/A	$\approx -0,5$
Mobilité apparente ( $\text{cm}^2 / (\text{V} \cdot \text{s})$ )	0.25	0,25 - 1	0,15 - 3	
$I_{\text{ON}} / I_{\text{OFF}}$	$10^3$ - $10^4$	$1,4 \cdot 10^4$	$10^3$ - $10^4$	$10^4$

Tableau 5.1: Inventaire sur les différents paramètres extraits à comparer avec les précédents travaux de différentes équipes de recherche rapportées sur des transistors à nanofils SiGe.

## 5.4 Procédé de fabrication des transistors sur une puce CMOS

Après le développement des transistors à nanofils sur un substrat  $\text{SiO}_2/\text{Si}$  avec notre procédé technologique, nous allons dans ce qui suit l'adapter pour une intégration dans le BEOL d'une puce CMOS. Pour cette raison, un travail du design de masque de photolithographie sur différents niveaux sera effectué pour aligner et connecter les différents types de transistors (PMOS et NMOS).

### 5.4.1 Description d'une puce CMOS

La figure 5.9 (a) montre une découpe de la puce CMOS utilisée dans ce projet. Elle a une dimension de 51 x 40 mm<sup>2</sup> et comporte six zones de transistors : LOD1g, MG01g, LOD2, MG02, LOD1d et MG01d. Chaque zone est composée de deux régions distinctes : une région supérieure contenant les transistors PMOS et une autre inférieure avec les transistors NMOS. Le nombre des transistors diffère d'une zone à une autre et leurs dimensions varient au sein de la zone elle-même. Chaque région est formée d'une série de lignes de huit transistors comme illustrée sur la figure 5.9 (c). Chaque transistor possède son propre drain et grille, avec une source partagée avec le transistor voisin. Des plots de contact en cuivre numérotés de 1 à 20 sont connectés aux différents contacts source, drain et grille. Ils permettent de réaliser les mesures électriques des transistors, ainsi que les alignements des vias pour intégrer les dispositifs à nanofils au-dessus des transistors de base. Une puce CMOS est composée de trois couches de diélectriques (TEOS, SiOCH et SiCN) déposées au-dessus du métal 1. L'épaisseur de cet empilement de couches mesure environ 375 nm et sera par la suite gravé pour créer les vias. La figure 5.10 illustre une vue en coupe de la cellule CMOS avec les emplacements et les dimensions relatives à chacune des couches. Ces puces CMOS réalisées au cours du développement des procédés pour la technologie 32nm, risquent de ne pas offrir les mêmes performances électriques qu'un transistor MOSFET fabriqué avec une technologie mature en fin de développement.

### 5.4.2 État de l'art et design du masque

Afin d'obtenir une fonction inverseur idéale, il faut obéir à la loi suivante [18] :

$$\mu_n \times C_{ox} \times \frac{W_n}{L_n} = \mu_p \times C_{ox} \times \frac{W_p}{L_p} \quad (\text{Eq.5.5})$$

Où  $\mu_{n/p}$  constitue la mobilité des électrons/trous,  $C_{ox}$  la capacité de l'oxyde,  $W_{n/p}$  la largeur des transistors et  $L_{n/p}$  leur longueur. Pour obtenir un fonctionnement symétrique d'un inverseur, K.D. Buddharaju *et al.* [19] ont interconnecté des transistors à base de nanofils type p et n. Pour compenser la faible valeur de la mobilité des trous devant les électrons, les transistors p fabriqués ont une largeur supérieure au double de la largeur des transistors type n ( $W_{PMOS} > 2 \times W_{NMOS}$ ) alors que les transistors n possèdent des longueurs égales au double de celles des transistors p ( $L_{NMOS} = 2 \times L_{PMOS}$ ).

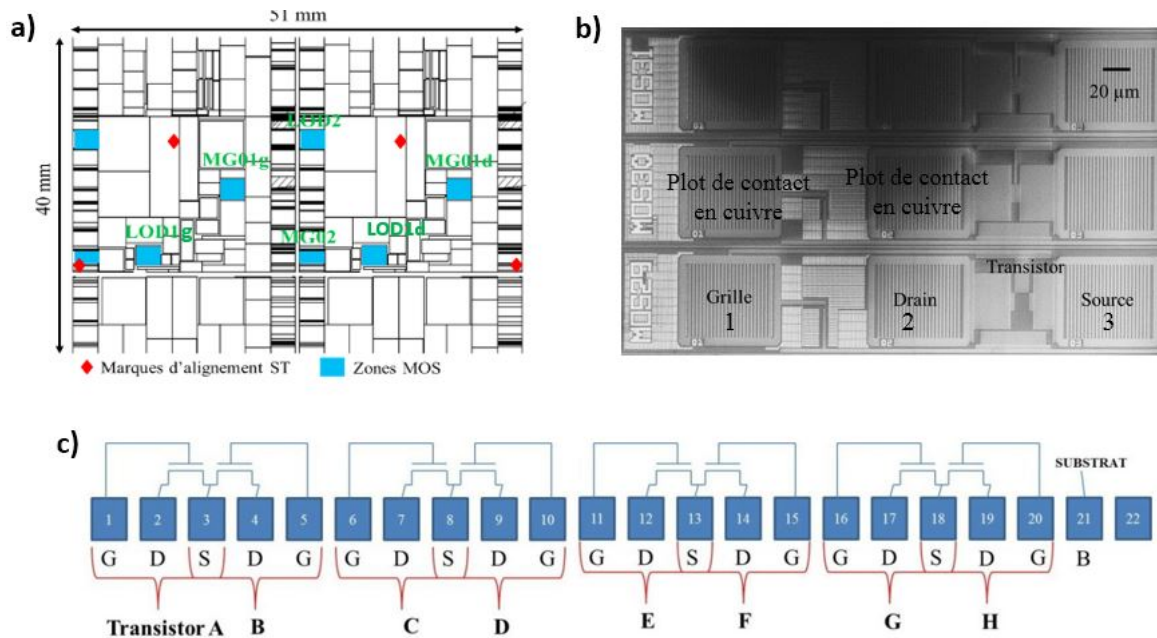


Figure 5.9 : (a) Illustration schématique de la découpe d'une puce CMOS avec les zones des transistors MOS. (b) Image SEM des transistors représentant la partie inférieure gauche de la zone MG02. (c) Disposition de chaque plot formant une ligne de transistors MOS avec : G = Grille, D = Drain, S = Source, B= substrat.

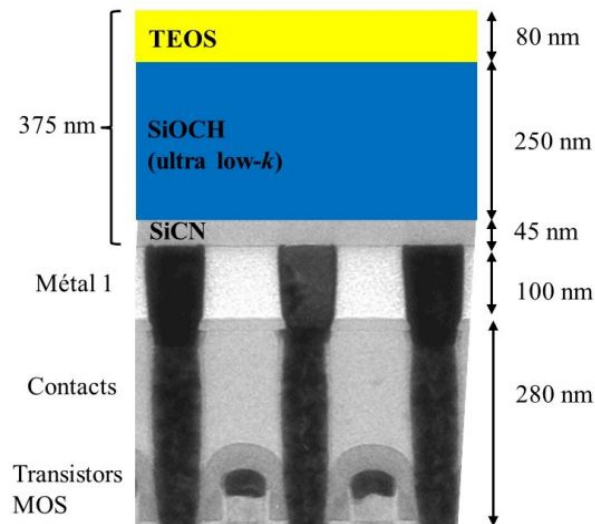


Figure 5.10 : Vue en coupe d'une puce CMOS utilisée avec les empilements des couches par-dessus (coupe TEM réalisée par STMicroelectronics)

Une liste des dispositifs fonctionnels NMOS sur les puces *ST* a été établie par F. Bourque [20] et N. Jouvét [21] au cours de leurs projets de recherche à l'université de Sherbrooke. L'objectif ici était de valider électriquement ces transistors et illustrer la distribution de leurs propriétés

électriques afin de faciliter leur choix lors du design des masques pour les circuits hybrides (MOS-transistors à nanofils/SET/ transistors à nanotube de carbone). L'analyse des paramètres des MOSFETs a été basée sur des mesures électriques permettant d'obtenir les courbes  $I_D - V_{DS}$  et  $I_D - V_{GS}$ . Les paramètres à extraire sont  $V_T$ ,  $SS$ ,  $R_O$ ,  $I_{OFF}$ ,  $I_{ON}$ ,  $I_{SUBSTRAT}$  et  $I_{GRILLR}$ . La figure 5.11 regroupe quelques mesures réalisées sur les transistors NMOS sur différentes puces.

Afin de compenser les faibles mobilités des trous dans les transistors à nanofils SiGe, nous avons essayé de choisir lors du design du masque une série des transistors avec les plus faibles valeurs du courant à l'état ON. La figure 5.12 (i) illustre la logique d'interconnexions à réaliser, pour obtenir une fonction d'un inverseur avec les transistors à nanofils SiGe.

Concernant le design du masque, il a été réalisé avec le logiciel K-layout. La première étape consiste à reprendre le contact avec les transistors MOS dans le FEOL grâce à des vias gravés dans l'oxyde et remplis par du titane. Les étapes qui suivent sont celles du protocole de fabrication sur l'oxyde : 1) établir les plots ; 2) la DEP des nanofils ; 3) la siliciuration des contacts, 4) la gravure de l'oxyde et 5) le dépôt du métal pour la grille, les électrodes ainsi que les interconnexions entre les différents transistors. Une attention au design entre les différents niveaux est cruciale pour éviter que les erreurs d'alignement se cumulent. La figure (5.12- ii et iii) montre le design final du masque sur toutes les zones de la puce CMOS, ainsi qu'un zoom sur le design d'un seul transistor à nanofil connecté au transistor NMOS de la puce.

### Résultats électriques de la puce H362

MOS ST approuve	005-G	005-H	006-A	006-B	006-C	067-A	067-B	067-C	067-F	067-G	067-H	
Type	N	N	N	N	N	N	N	N	N	N	N	
L	0.24	0.16	0.12	0.1	0.08	0.5	0.5	0.5	0.24	0.24	0.24	
W	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	0.6	
Ion	Erreur de manipulation	Erreur de manipulation	Court-Circuit	2.70E-04	Court-Circuit	3.68E-05	3.51E-05	1.50E-05	grille- Court-circuit source	6.06E-05	5.74E-05	
Ioff				3.66E-05		1.22E-12	6.64E-12	1.50E-12		7.40E-13	7.69E-13	
Ibulk				2.90E-10		1.90E-11	-7.09E-12	1.79E-11		1.37E-11	1.47E-11	
Igate												
Ron												
SS												
Vt												

MOS ST approuve	068-C	068-D	068-E	101-B	101-C	101-D	104-B	104-C	104-D	104-G	104-H
Type	N	N	N	N	N	N	N	N	N	N	N
L	0.12	0.12	0.12	0.15	0.15	0.15	0.27	0.27	0.27	0.15	0.15
W	0.6	0.6	0.6	1	1	1	0.6	0.6	0.6	0.6	0.6
Ion	2.04E-04	2.14E-04	Court-Circuit	3.47E-04	1.23E-04	2.02E-04	5.59E-05	5.59E-05	Mauvais contact	1.49E-04	1.41E-04
Ioff	1.32E-07	1.21E-07		1.20E-10	3.34E-12	7.14E-12	4.18E-12	4.17E-12		9.92E-12	2.88E-11
Ibulk	-1.80E-10	-1.28E-10		-5.41E-10	-2.13E-09	-8.71E-11	1.11E-11	1.33E-11		-1.60E-10	-1.39E-10
Igate	9.60E-12	9.46E-12			9.70E-12	2.16E-09	5.83E-11	8.74E-12	8.71E-12	1.73E-11	1.07E-11
Ron	18.6 K	16.545 K			12.39 K	30 K	18.67 K	154.1 K	67.78K	27 K	32.8 K
SS	160	150			95	72	80	78	80mV/dec	87.5	93.3
Vt	mV/Dec	mV/Dec			mV/Dec	mV/Dec	mV/Dec	mV/Dec	mV/Dec	mV/Dec	mV/Dec
Vt	0.27 V	0.24 V			0.53 V	0.55 V	0.58 V	0.72 V	0.81	0.57 V	0.58 V

### Résultats électriques de la puce H377

MOSFET	001-A	0001-E	001-F	001-G	002-G	003-E	003-G	003-H	004-A	004-B
Type	N	N	N	N	N	N	N	N	N	N
L	10.00	0.12	0.10	0.08	0.04	10.00	0.50	0.24	0.12	0.10
W	10.00	10.00	10.00	10.00	6.00	1.00	1.00	1.00	1.00	1.00
Ion	2.51E-03	Court-circuit	Court-circuit	Court-circuit	Court-circuit	2.23E-06	7.45E-05	2.03E-04	8.49E-04	Court-circuit
Ioff	1.37E-04					2.17E-13	3.39E-12	4.96E-12	1.24E-04	
Ibulk	-8.32E-10					1.72E-11	1.66E-11	-3.08E-12	-1.28E-09	
Igate	1.02E-11					9.47E-12	7.12E-12	7.45E-12	7.33E-12	
Ron	10.33 K					2.724 T	479 G	636 G	4.7 K	
SS	---					85	80	90	---	
Vt	0.59 V					mV/Dec	mV/Dec	mV/Dec		
						0.9 V	0.72 V	0.62 V	~0 V	

MOSFET	004-C	004-E	004-G	005-B	005-C	005-H	006-A	006-B	006-C	007-C
Type	N	N	N	N	N	N	N	N	N	N
L	0.08	0.06	0.05	10.00	4.00	0.16	0.12	0.10	0.08	0.04
W	1.00	1.00	1.00	0.60	0.60	0.60	0.60	0.60	0.60	0.40
Ion	Court-circuit	Court-circuit	Court-circuit	1.23E-06	3.42E-06	2.24E-04	3.51E-04	6.68E-04	Court-circuit	Court-circuit
Ioff				3.68E-13	4.98E-13	2.54E-09	2.05E-05	3.89E-04		
Ibulk				1.89E-11	1.48E-11	-1.01E-10	-4.37E-10	-4.21E-10		
Igate										
Ron										
SS										
Vt										

Figure 5.11 : Résultats électriques obtenus sur une liste des dispositifs NMOS avec deux puces CMOS différentes [19].

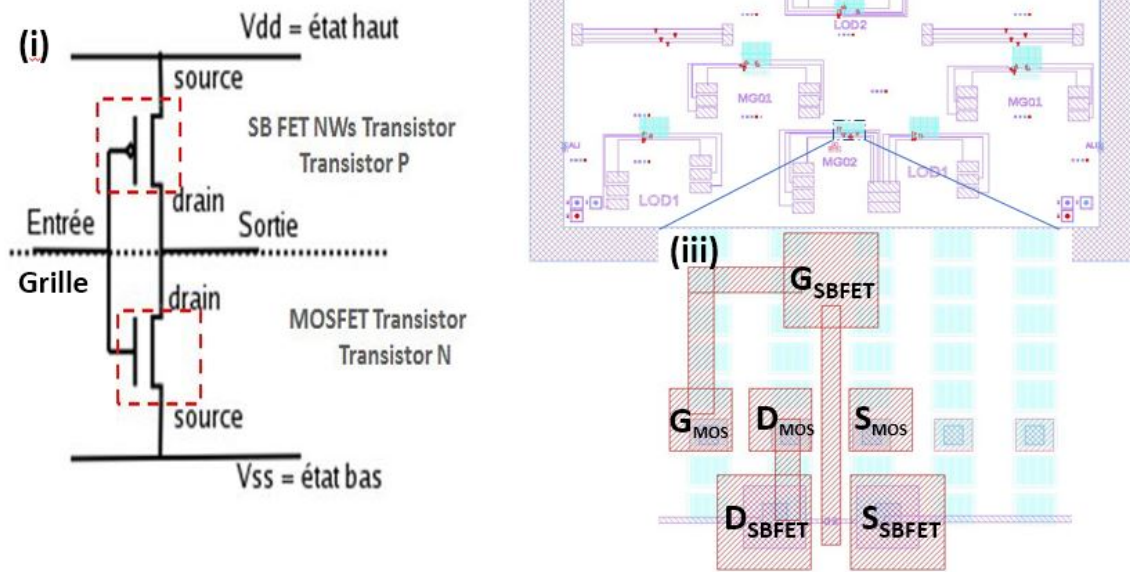


Figure 5.12 : (i) Illustration schématique d'une fonction inverseur basée sur le couplage des transistors à nanofils SiGe (PMOS) avec les transistors NMOS d'une puce CMOS. (ii) Design final pour la fabrication des transistors sur toutes les zones de la puce CMOS. (iii) Vue rapprochée du design d'un transistor à nanofil connecté au transistor MOS de la puce. Les vias sont en bleu foncé, les interconnexions avec les plots des transistors SB FET sont en rouge et les plots du CMOS en bleu clair.

### 5.4.3 Protocole de fabrication des transistors interconnectés à la logique CMOS

La figure 5.13 illustre les différentes étapes du procédé d'intégration des transistors à nanofils dans le BEOL d'une puce. Il comporte 6 étapes de fabrication au total, dont la majorité de ces dernières sont communes à sa fabrication sur SiO<sub>2</sub>/Si. La toute première étape (figure 5.13-(a)) est la seule nouvelle étape introduite et qui consiste à créer des vias du titane dans l'oxyde afin de pouvoir connecter les transistors à nanofils fabriqués avec les transistors MOS existants. Le développement de ce procédé d'interconnexions dédié à la création des vias a été mis en place par *B. Lee-sang et al.* au sein de l'université de Sherbrooke [22]. Il correspond à se servir d'une gravure RIE (reactive ion etching) pendant 200 s pour graver les trois couches de diélectriques existantes (TEOS, SiOCH, SiCN).



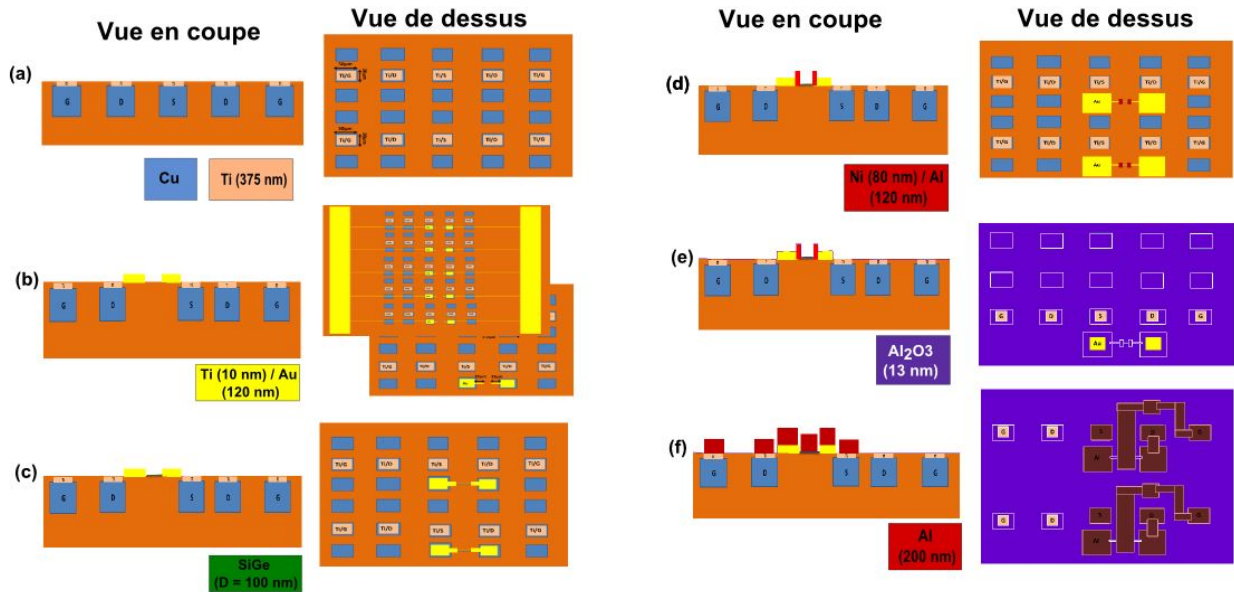


Figure 5.13 : Illustration schématique du procédé technologique pour l'intégration des transistors à nanofils SiGe horizontaux sur une puce CMOS : (a) Fabrication des vias en titane pour la connexion des transistors MOS ; (b) Création des électrodes S/D et les plots de contacts pour la DEP ; (c) DEP pour positionner les nanofils horizontalement entre les électrodes ; (d) reprise de contact sur les nanofils, suivi d'un recuit à 400° C pendant 1 min ; (e) Dépôt à 250°C de l'oxyde de grille ( $Al_2O_3$ ) dans un bâti d'ALD et gravure de ce dernier dans les zones de contact. (f) Dépôt du métal de la grille et les interconnexions entre les électrodes pour finaliser la fabrication d'un inverseur.

Après gravure, les échantillons seront immergés dans une solution industrielle nommée « BPS-172 », pour éviter tout risque d'oxydation sur la surface du cuivre et assurer par la suite sa stabilité limitant sa réoxydation [23].

Finalement 400 nm de titane seront évaporés dans les vias suivi d'un soulèvement de la résine. Il a été aussi prouvé que les propriétés électriques des transistors MOS n'ont pas été affectées par la procédure de remplissage de vias [22]. La figure 5.14 montre une illustration d'une vue en coupe de remplissage des vias, une image SEM de la vue de dessus d'un via rempli par du titane, ainsi que les propriétés électriques d'un transistor NMOS avant et après remplissage.

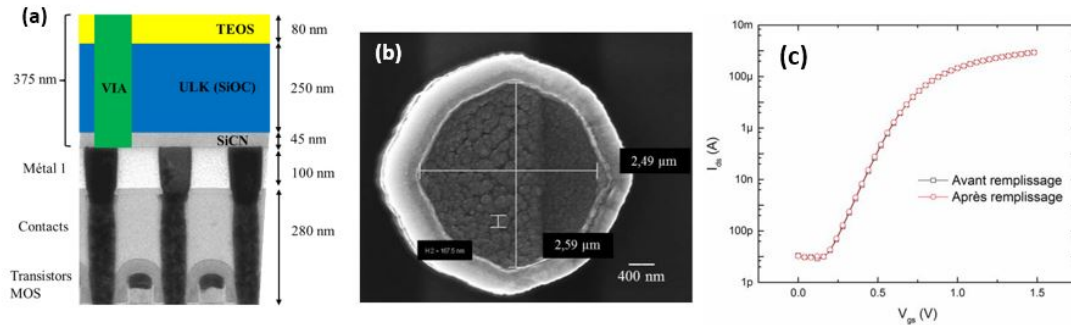


Figure 5.14 : (a) Vue en coupe de la structure de la puce rempli des vias. (b) Image SEM de la vue de dessus d'un via rempli avec 400 nm de titane. (c) Caractéristiques électriques  $I_{ds}$ - $V_{gs}$  du transistor NMOS 32F avant et après remplissage des vias [21].

#### 5.4.4 Vers une intégration des transistors à canal nanofils

Après cette étape, nous avons continué la fabrication des transistors à nanofils SiGe sur les puces ayant subi une gravure de vias. La figure 5.15 présente des images SEM d'un transistor à nanofil fabriqué dans la zone MG02 d'une puce CMOS et connecté aux transistors MOS.

Les mesures électriques montrent que le dispositif à nanofils fabriqué sur la puce possède des caractéristiques de courant-tension typiques à un transistor FET, fonctionnant en mode d'accumulation de type p.

Ces mesures électriques faites sur le transistor à nanofils doivent prendre en considération l'environnement associé. Le transistor à nanofil reste toujours connecté avec le transistor MOS en dessous. En effet, les deux transistors (à nanofils et MOS) partagent les mêmes électrodes de grille et de drain. Ceci pourra affecter le mode de fonctionnement des transistors à nanofils, si un courant de fuite est détecté au niveau des transistor NMOS.

C'est pour cette raison, la polarisation de la grille en tensions négatives ne doit pas dépasser une certaine valeur (dans notre cas  $-0.5$  V) pour éviter la création d'un court-circuit entre la grille et la source du transistor NMOS. Cette valeur de polarisation négative de la grille a été extraite à la suite de la caractérisation de quelques transistors de type NMOS existants sur les puces après l'étape de gravure des vias. L'idée ici était de contrôler le fonctionnement de ces transistors surtout pour des valeurs de polarisation de grille négatives.

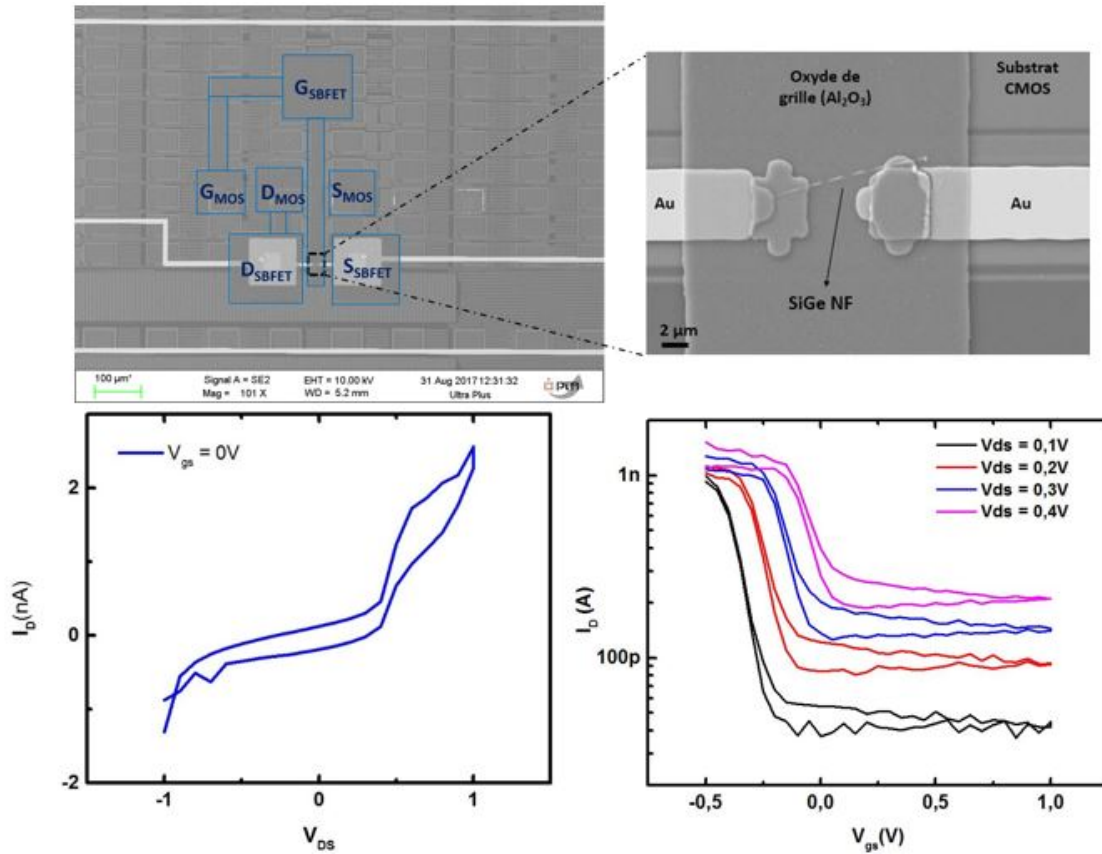


Figure 5.15 : Image SEM d'un transistor à nanofil connecté à un transistor NMOS de la zone MG02, avec les caractéristiques électriques (I-V) du contact entre source et drain et les caractéristiques électriques ( $I_{DS}$ - $V_{GS}$ ) du transistor à nanofil obtenu sur la puce.

La figure 5.16 montre les propriétés électriques du transistor NMOS ( $W=1$ ,  $L=10$ ) situé dans la zone LOD02 d'une puce CMOS. Ce qu'on peut tirer de ces observations est qu'un courant est détecté entre la grille et la source lors d'un stress négatif (supérieures à -0.5 V). Ce phénomène destructif irréversible résulte de la formation d'une jonction p-n dans le transistor MOS (avec un substrat dopé p et une grille dopée n) créant ainsi le défaut [24]. Le courant de grille détecté à des tensions négatives correspond à une polarisation en directe de la jonction de défaut.

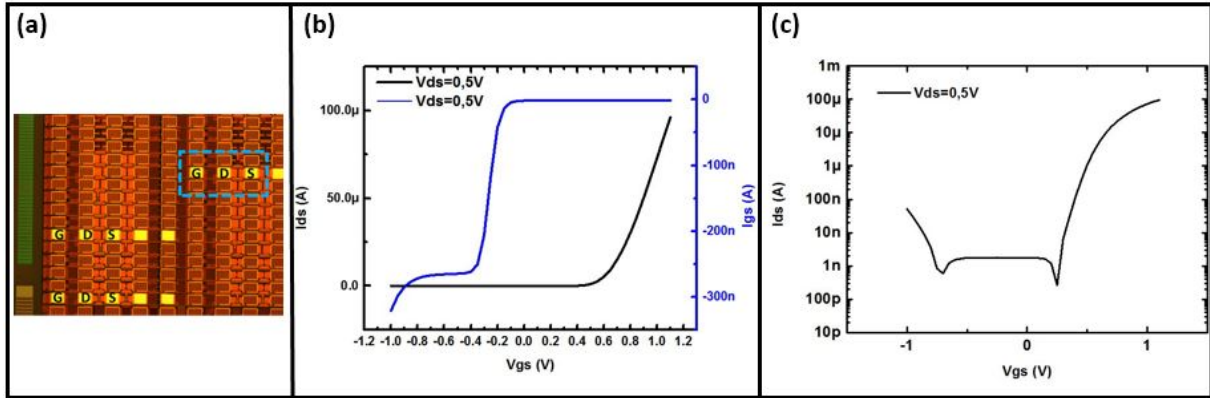


Figure 5.16 : (a) Image optique de la zone LOD02 des transistors NMOS délimité en bleu. (b) Caractéristiques électriques linéaires ( $I_{ds}$ - $V_{gs}$ ) et ( $I_{gs}$ - $V_{gs}$ ) du transistor NMOS ( $W=1$ ,  $L=10$ ) pour des polarisations de grille négatives et positives. (c) Caractéristiques électriques logarithmique ( $I_{ds}$ - $V_{gs}$ ) du même transistor pour des polarisations de grille négatives et positives.

## 5.5 Conclusion

Dans ce chapitre, nous avons réussi à intégrer pour la première fois un transistor à canal nanofils horizontaux dans le BEOL d'une puce CMOS. Afin d'atteindre cet objectif, nous avons tout d'abord optimisé la fabrication sur un substrat en silicium. Grâce à la technique de diélectrophorèse, nous avons pu localiser les nanofils horizontaux entre les électrodes.

Après le dépôt du métal de la grille, les transistors fabriqués possédaient une configuration de grille semi-enrobante ( $\Omega$ -FET). Ces dispositifs ont montré des performances proches de l'état de l'art. La valeur du courant à l'état passant dépendait du nombre du nanofils. Plus ce nombre est élevé, plus la valeur du courant augmente.

Après la description de l'architecture générale d'une puce CMOS, le design du masque pour une intégration 3D des transistors a été réalisé. Après la gravure des vias, le protocole de fabrication des dispositifs à nanofils alignés au-dessus des transistors CMOS est réalisé. Les mesures électriques effectuées ont prouvé l'existence des propriétés électriques typiques d'un transistor FET dans le BEOL. Les résultats prouvent une première réalisation d'un dispositif à nanofil intégré de façon monolithique dans le BEOL d'une puce CMOS, bien qu'une fonction d'un inverseur n'ait pas été obtenue.



## Listes des références

- [1] D. Xiao, X. Wang, Y. Yu, J. Chen, M. Zhang, Z. Xue, and J. Luo, "TCAD study on gate-all-around cylindrical (GAAC) transistor for CMOS scaling to the end of the roadmap," *Microelectronics Journal*, vol. 40, no. 12, pp. 1766–1771, 2009.
- [2] S. M. Sze and K. K. Ng., *Physics of Semiconductor Devices*, 3rd ed. 2007.
- [3] Q. T. Zhao, D. Buca, S. Lenk, R. Loo, M. Caymax, and S. Mantl, "Formation of ternary Ni-silicide on relaxed and strained SiGe layers," *Microelectronic Engineering*, vol. 76, no. 1–4, pp. 285–289, 2004.
- [4] H. M. and N. P. N. Mehmet C. Ozturk, Jing Liu, "Advanced Si/sub 1-x/Ge x source/drain and contact technologies for sub-70 nm CMOS" *Electron Devices Meeting, IEDM'02 International*, pp. 375–378, 2002.
- [5] P. Batude, C. Fenouillet-Beranger, L. Pasini, V. Lu, F. Deprat, L. Brunet, B. Sklenard, F. Piegas-Luce, M. Casse, B. Mathieu, O. Billoint, G. Cibrario, O. Turkyilmaz, H. Sarhan, S. Thuries, L. Hutin, S. Sollier, J. Widiez, L. Hortemel, C. Tabone, M. P. Samson, B. Previtali, N. Rambal, F. Ponthenier, J. Mazurier, R. Beneyton, M. Bidaud, E. Josse, E. Petitprez, O. Rozeau, M. Rivoire, C. Euvard-Colnat, A. Seignard, F. Fournel, L. Benaissa, P. Coudrain, P. Leduc, J. M. Hartmann, P. Besson, S. Kerdiles, C. Bout, F. Nemouchi, A. Royer, C. Agraffeil, G. Ghibaudo, T. Signamarcheix, M. Haond, F. Clermidy, O. Faynot, and M. Vinet, "3DVLSI with CoolCube process: An alternative path to scaling," *Digest of Technical Papers - Symposium on VLSI Technology*, vol. 2015–August, pp. T48–T49, 2015.
- [6] M.-H. Cho, H. S. Chang, D. W. Moon, S. K. Kang, B. K. Min, D.-H. Ko, H. S. Kim, P. C. McIntyre, J. H. Lee, J. H. Ku, and N. I. Lee, "Interfacial characteristics of HfO<sub>2</sub> films grown on strained Si<sub>0.7</sub>Ge<sub>0.3</sub> by atomic-layer deposition," *Applied Physics Letters*, vol. 84, no. 7, pp. 1171–1173, 2004.
- [7] M. Collet, "Manipulation et Adressage grande échelle de Nanofils Semiconducteurs pour la réalisation de Nanosystèmes Innovants," *Thèse de doctorat*, Université Paul Sabatier - Toulouse III, 2013.
- [8] B. Liu, Y. Wang, T. Ho, K.-K. Lew, S. M. Eichfeld, J. M. Redwing, T. S. Mayer, and S. E. Mohny, "Oxidation of silicon nanowires for top-gated field effect transistors," *J. Vac. Sci. Technol. A*, vol. 26, no. 3, p. 370, 2008.
- [9] M. Collet, S. Salomon, N. Y. Klein, F. Seichepine, C. Vieu, L. Nicu, and G. Larrieu, "Large-scale assembly of single nanowires through capillary-assisted dielectrophoresis," *Advanced Materials*, vol. 27, no. 7, pp. 1268–1273, 2015.
- [10] G. Rosaz, B. Salem, N. Pauc, P. Gentile, A. Poitié, A. Solanki, F. Bassani, T. Baron, and L. Cagnon, "Electrical Characterization of Planar Silicon Nanowire Field-Effect Transistors," *International Journal of Nanoscience*, vol. 11, no. 4, p. 1240011, 2012.
- [11] A. Motayed, J. E. Bonevich, S. Krylyuk, A. V. Davydov, G. Aluri, and M. V. Rao, "Correlation between the performance and microstructure of Ti/Al/Ti/Au ohmic contacts to p-type silicon nanowires," *Nanotechnology*, vol. 22, no. 7, 2011.

- [12] J. Y. Oh, J. T. Park, H. J. Jang, W. J. Cho, and M. S. Islam, "3D-transistor array based on horizontally suspended silicon Nano-bridges grown via a bottom-up technique," *Advanced Materials*, vol. 26, no. 12, pp. 1929–1934, 2014.
- [13] W. Lu and C. M. Lieber, "Semiconductor nanowires," *Journal of Physics D: Applied Physics*, vol. 39, no. 21, 2006.
- [14] G. Rosaz, B. Salem, N. Pauc, A. Potié, P. Gentile, and T. Baron, "Vertically integrated silicon-germanium nanowire field-effect transistor," *Applied Physics Letters*, vol. 99, no. 19, 2011.
- [15] M. T. Björk, O. Hayden, H. Schmid, H. Riel, and W. Riess, "Vertical surround-gated silicon nanowire impact ionization field-effect transistors," *Applied Physics Letters*, vol. 90, no. 14, 2007.
- [16] K. Tachi, M. Casse, D. Jang, C. Dupre, A. Hubert, N. Vulliet, V. Maffini-Alvaro, C. Vizioz, C. Carabasse, V. Delaye, J. M. Hartmann, G. Ghibaudo, H. Iwai, S. Cristoloveanu, O. Faynot, and T. Ernst, "Relationship between mobility and high-k interface properties in advanced Si and SiGe nanowires," *IEEE International Electron Devices Meeting (IEDM)*, pp. 1–4, 2009.
- [17] S. J. Whang, S. J. Lee, W. F. Yang, B. J. Cho, Y. F. Liew, and D. L. Kwong, "Synthesis and transistor performances of high quality single crystalline vapor-liquid-solid grown Si  $1-x$  Ge  $x$  nanowire SiGe SiGe nanowire SiGe nanowire," *Scanning Electron Microscopy*, pp. 45–48, 2007.
- [18] S. C. Rustagi, N. Singh, W. W. Fang, K. D. Buddharaju, S. R. Omampuliyur, S. H. G. Teo, C. H. Tung, G. Q. Lo, N. Balasubramanian, and D. L. Kwong "CMOS inverter based on gate-all-around silicon-nanowire MOSFETs fabricated using top-down approach". *IEEE Electron Device Letters*, 28(11), 1021-1024, 2007.
- [19] K. D. Buddharaju, N. Singh, S. C. Rustagi, S. H. G. Teo, G. Q. Lo, N. Balasubramanian, and D. L. Kwong, "Si-nanowire CMOS inverter logic fabricated using gate-all-around ( GAA ) devices and top-down approach," *Solid-State Electronics*, vol. 52, pp. 1312–1317, 2008.
- [20] F. Bourque, "Conception de circuits de lecture adaptés à des dispositifs monoélectroniques," *Mémoire de Master, UNIVERSITÉ DE SHERBROOKE*, 2014.
- [21] N. Jouvét, "Intégration hybride de transistors à un électron sur un nœud technologique CMOS," *These de doctorat, UNIVERSITÉ DE SHERBROOKE*, 2012.
- [22] B. Lee Sang, "Développement de procédés technologiques pour une intégration 3D monolithique de dispositifs nanoélectroniques sur CMOS," *These de doctorat, UNIVERSITÉ DE SHERBROOKE*, 2016.
- [23] I. V. A. H. Vilca-Meléndez, R. Ruas, and P. Verdonck, "Characterization by Coulometric Reduction of Surface Chemical Components Formed on Copper in Fluorine-Containing Plasmas," *Electrochemical and Solid-State Letters*, vol. 6, no. 12, pp. B55–B58, 2003.
- [24] C. F. H. J. Segura, C. De Benito, A. Rubio, "A Detailed Analysis of GOS Defects in MOS Transistors: Testing Implications at Circuit Level," *INTERNATIONAL TEST CONFERENCE*, 1995.





# CHAPITRE 6

## Conclusion générale et perspectives

### 6.1 Conclusion générale

L'objectif de ce projet de recherche est de démontrer la possibilité d'intégrer de façon monolithique des transistors à canal nanofils horizontaux compatibles avec la technologie CMOS. Afin d'aboutir à cet objectif, nous avons développé deux procédés technologiques qui ont permis le positionnement horizontal des nanofils entre les électrodes. Ceci nous a permis dans un premier temps de fabriquer les transistors sur un substrat de silicium recouvert d'un oxyde et dans un deuxième temps, de montrer une preuve de concept d'un transistor à nanofil fabriqué dans le BEOL d'une puce CMOS.

Les intérêts majeurs que peut apporter une intégration tridimensionnelle par rapport à une intégration planaire traditionnelle ont été présentés dans le deuxième chapitre. En effet, cet empilement dans les 3D de l'espace se présente comme une alternative à la miniaturisation qui contribue à l'augmentation de la densité des composants, tout en réduisant la surface occupée ainsi que les délais d'interconnexions. La précision d'alignement et la densité des vias représentent les bénéfices associés à ce type d'intégration 3D monolithique des composants.

L'état de l'art établi sur les travaux réalisés récemment pour cette architecture montre une difficulté de fabriquer des transistors avec des propriétés électriques optimisées dans les niveaux supérieurs et à des basses températures. Parmi les différentes solutions qui pourront répondre à ces contraintes de fabrication, les nanofils ont été choisis grâce à leur qualité monocristalline et leur faible température de synthèse. Le mécanisme de fonctionnement des transistors à nanofils (SBFET) montre l'avantage de ces derniers surtout grâce à leurs faibles valeurs du courant à l'état bloqué.

Dans le troisième chapitre, nous avons réussi à montrer une preuve du concept d'une croissance guidée des nanofils horizontaux directement sur un substrat de silicium recouvert par un oxyde. Après l'optimisation des paramètres de la croissance des nanofils SiGe à basse température entre

des électrodes prédéfinies, nous avons réussi à confiner cette croissance à l'intérieur des tranchées d'oxyde grâce au procédé « nanodamascène ». La localisation des catalyseurs était le point clé de ce procédé pour contrôler et éliminer la croissance aléatoire des nanofils horizontaux. Ce procédé qui regroupe différentes étapes technologiques est compatible CMOS. La gravure humide avec une solution commerciale (pad-etch) a contribué à l'élimination et la réduction de la couche d'oxyde restante sur les flancs des cavités. Ainsi, nous avons aussi exploré les différents paramètres pouvant influencer cette croissance guidée, y compris la gravure humide et la largeur des tranchées. Les premiers résultats électriques d'un nanofil connecté entre les électrodes ont montré des fortes résistances de contact S/D. Dans l'éventualité de réduire ces résistances, des procédés de siliciuration pourront être ajoutés.

Nous avons aussi développé un procédé de CMP sur des couches d'or afin de permettre l'implémentation de ce type de procédé sur des grandes surfaces. L'étude des vitesses de polissage sur l'or et l'oxyde en fonction de plusieurs paramètres de polissage a permis d'extraire la sélectivité entre ces deux matériaux. Cette sélectivité est primordiale pour planariser les micro- et nanostructures d'or en même temps. Enfin, le procédé CMP a maintenu la rugosité des surfaces d'or, sans aucun défaut au niveau des nanostructures.

Après ce type d'assemblage « directe » de la croissance des nanofils dans les tranchées d'oxyde, nous avons investigué dans le chapitre 4 une autre approche pour contrôler le positionnement des nanofils horizontaux. La diélectrophorèse était la technique employée pour contrôler l'orientation des particules à l'aide d'un champ électrique alternatif. L'évaluation d'une large gamme de fréquences a permis de repérer le mouvement de ces nanofils dans une puce micro fluidique. Ce mouvement dépendait de la compétition entre les différentes forces existantes dans le milieu (hydrodynamiques et diélectrophorétique), qui à leur tour dépendent de la fréquence appliquée. Après le calcul de la vitesse d'attraction des nanofils vers les électrodes, la partie réelle du facteur Clausius-Mossotti a été aussi tracée en fonction de la fréquence. Ces observations ont révélé la présence d'une fréquence de capture, qui reflète des conditions d'attraction optimisées des nanofils vers les électrodes. Les études évoquées sur le rendement d'attraction nous a permis de vérifier les fréquences de capture détectées pour des nanofils de

nature différente. Finalement, des nanofils horizontaux ont été positionnés entre les électrodes sur un substrat  $\text{SiO}_2/\text{Si}$ , ainsi que pour la première fois sur une puce CMOS.

Dans le cinquième chapitre, nous avons effectué pour la première fois l'intégration d'un transistor à canal nanofil dans le BEOL d'une puce CMOS. Un procédé de fabrication des nanodispositifs utilisant la technique de DEP a été développé sur un substrat  $\text{SiO}_2/\text{Si}$ . La siliciuration des contacts, associée à un nombre élevé des nanofils attirés a permis d'augmenter le courant à l'état passant. Les résultats électriques obtenues sur les transistors fabriqués se rapprochaient de ceux de l'état de l'art. Ce procédé d'intégration a été ensuite adapté pour fabriquer des composants alignés sur des transistors MOS. Cet alignement est nécessaire pour établir des circuits hybrides nanoélectroniques-CMOS. Pour cette raison, l'architecture de la puce a été décrite afin de justifier les travaux du design du masque. Après la gravure des vias et le remplissage en titane, les dispositifs à base de nanofils ont été fabriqués et connectés avec les transistors de la puce CMOS. Les mesures électriques sur ces composants fabriqués ont démontré la présence d'un comportement transistor de type pFET. La tension de la grille appliquée a été choisie avec précaution de manière à ne pas nuire au comportement électrique des transistor NMOS. Ce travail d'intégration constitue un début pour élaborer des fonctions logiques compatible CMOS dans le futur.

## 6.2 Perspectives

Cette thèse constitue un début pour les travaux d'intégration 3D monolithique des composants à nanofils. Elle ouvre cependant de nombreuses autres perspectives :

1. Il sera intéressant d'étudier une recette de CMP qui permet d'éliminer l'or et le titane avec la même vitesse de gravure. Pour atteindre cette perspective, on peut envisager de commencer le polissage sur le titane avec une solution à base de silice, puis de continuer avec une solution d'ultra sol A20 une fois que l'or apparaîtra. Cette approche doit être accompagnée par une recette de gravure optimisée (plasma et humide) pour éliminer définitivement la couche d'oxyde qui empêche la réaction des gaz précurseurs avec le catalyseur. Ces solutions optimisées contribueront à termes à l'augmentation du

rendement des nanofils dans les tranchées d'oxyde, ce qui pourra ouvrir la voie d'une intégration à grande échelle.

2. D'autres solutions permettront aussi d'améliorer les performances électriques des transistors à nanofils. Cette étude réalisée avec des nanofils SiGe pourra être également étendue sur d'autres types de nanofils ayant des propriétés différentes telles que : la longueur, le diamètre et la conductivité. Une autre piste à explorer sera l'association des couches d'oxydes de nature différentes : Commencer par le dépôt d'oxyde d'Hafnium ( $\text{HfO}_2$ ) connu par ses faibles densités de défauts d'interface et ajouter sur le dessus une couche d'alumine ( $\text{Al}_2\text{O}_3$ ) connue par sa structure amorphe stable thermiquement et sa EOT relativement élevée.
3. Pour intégrer des dispositifs dans le BEOL et réaliser des circuits hybrides transistors à nanofils-CMOS, il sera intéressant de valider ces architectures des circuits hybrides avec des modèles de simulation adéquats pour les transistors à nanofils, ainsi que pour les technologies CMOS. La conception de nouvelles architectures de circuits de lecture hybrides (transistors à nanofils-CMOS) constitue une piste intéressante pour évaluer les performances de chaque composant et optimiser par la suite leur association.



## Annexe A

## Gravure du titane

Cette annexe offre une vision sur les différents tests qui ont été effectués, pour étudier l'impact de la gravure plasma et humide (pad-etch) sur la couche du titane déposée au-dessus de l'or au cours du procédé « nanodamascène ».

La figure A.1 montre les vitesses de gravure du titane en fonction du temps dans une solution du pad-etch avec et sans plasma d'oxygène. Comme présenté dans le chapitre 3, le "Pad-etch" offre des meilleurs taux de gravure sur du  $\text{SiO}_2$  comparé à la solution HF (10%). Cette divergence dans la vitesse de gravure peut être liée à la différence des valeurs de pH entre les deux solutions. Pour chaque valeur de pH, une concentration spécifique en  $\text{HF}_2^-$  lui est attribuée dans la solution, qui à son tour affectera directement le taux de gravure de  $\text{SiO}_2$ . Concernant le titane, le HF l'attaque par oxydation. Ce dernier s'oxyde rapidement dans l'eau mais surtout par l' $\text{O}_2$  qui existe dans le HF. Le surfactant existant dans le « Pad-etch » paraît important pour obtenir des taux de gravure faible, puisqu'il agit en tant qu'inhibiteur de corrosion. Ce dernier s'adsorbe préférentiellement sur le  $\text{TiO}_2$  et il le protégera pendant un certain temps ( $< 2 \text{ nm/min}$ ) à condition que l'adsorption soit plus rapide que le retrait du  $\text{TiO}_2$  par les espèces fluorées. Une fois que la vitesse d'adsorption diminue, la vitesse de gravure du titane tend vers des valeurs plus élevées ( $50 \text{ nm/min}$ ).

La figure A.2 montre la vitesse de gravure du titane en fonction du temps dans une solution du pad-etch et précédé par une gravure plasma. Après la gravure plasma à la chimie réductrice  $\text{CF}_4/\text{He}/\text{H}_2$ , il apparaît que le titane se grave plus rapidement dans le pad-etch. Ceci revient probablement que le surfactant ne se dépose pas sur le titane après la gravure plasma. Ce phénomène nécessite des investigations approfondies afin de réduire la vitesse de corrosion du titane, une fois que la gravure plasma soit finie.

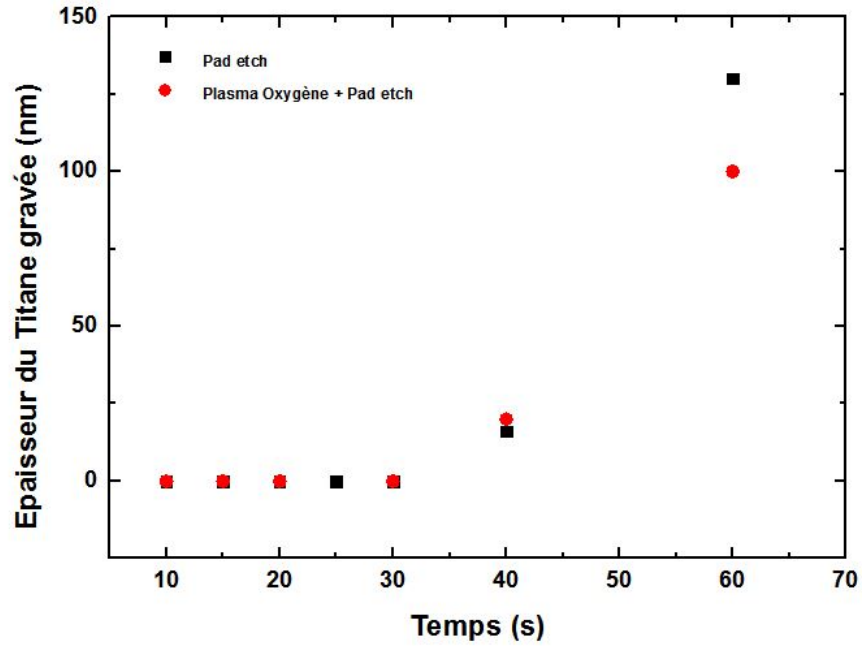


Figure A.1 : Étude comparative des vitesses de gravure du titane en fonction du temps dans une solution du pad-etch avec et sans plasma d'oxygène.

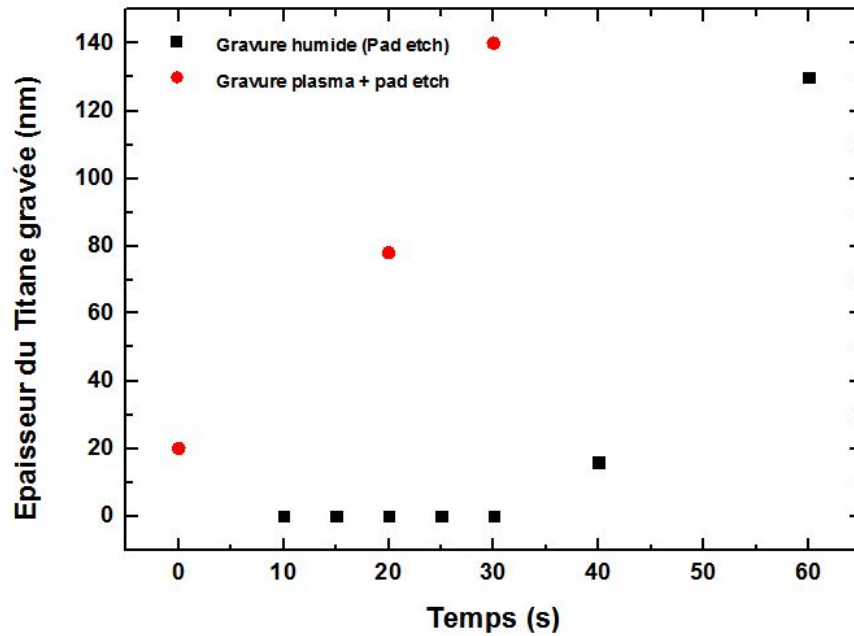


Figure A.1 : Étude comparative des vitesses de gravure du titane en fonction du temps dans une solution du pad-etch et précédé par une gravure plasma.

## Annexe B

## Etude théorique du FCM

Le code Matlab utilisé pour tracer les courbes théoriques de la partie réelle du FCM des nanofils Si et SiGe en fonction de la fréquence appliquée.

```
%Sii
clc
clear all;close all ;
f=logspace(3,7,100);
eps0=8.581e-12;
w=2*pi*f;
sigma_m=1e-4;
sigma_p=100;

eps_m=80*eps0;
eps_p=11.9*eps0;

eps_m_cplx=eps_m-i*sigma_m./w;
eps_p_cplx=eps_p-i*sigma_p./w;

FCM=((eps_p_cplx./eps_m_cplx)-1);%FCM calculé à partir de eps et sigma
RFCM=real(FCM)./FCM;

alpha=4.06e-4;
a1=[1e4:1e4:9e4];
a2=[1e5:1e5:9e5];
a3=[1e6:1e6:1e7];
f1=[a1 a2 a3];
v_part=[1677.419355 1548.387097 1419.354839 1290.322581 1064.516129 1161.290323
774.1935484 838.7096774 1161.290323 774.1935484 903.2258065 941.9354839 838.7096774
864.516129 696.7741935 774.1935484 593.5483871 709.6774194 567.7419355 683.8709677
477.4193548 425.8064516 309.6774194 464.516129 309.6774194 464.516129 412.9032258 451.6129032];
FCM1=alpha.*v_part;
semilogx(f,RFCM,'-',f1,FCM1,':')
%semilogx(f,RFCM)
```

Figure B.1 : Code MATLAB utilisé pour tracer la courbe théorique du FCM des nanofils Si intrinsèques.



```

%SiGe
clc
clear all
f=logspace(3,7,100);
eps0=8.581e-12;
w=2*pi*f;
sigma_m=1e-4;
sigma_p=0.666;

eps_m=80*eps0;
eps_p=12.925*eps0;

eps_m_cplx=eps_m-1i*sigma_m./w;
eps_p_cplx=eps_p-1i*sigma_p./w;

FCM=((eps_p_cplx./eps_m_cplx)-1);%FCM calculé à partir de eps et sigma
RFCM=real(FCM)./FCM;

alpha=4.06e-4;
a1=[1e4:1e4:9e4];
a2=[1e5:1e5:9e5];
a3=[1e6:1e6:1e7];
f1=[a1 a2 a3];
v_part=[1290.322581 1096.774194 929.0322581 954.8387097 967.7419355 929.0322581
        903.2258065 967.7419355 1019.354839 1135.483871 903.2258065 774.1935484 683.8709677
        645.1612903 258.0645161 193.5483871 129.0322581 400 129.0322581 193.5483871 154.8387097
        129.0322581 103.2258065 116.1290323 77.41935484 64.51612903 64.51612903 104.22581];
FCM1=alpha.*v_part;
semilogx(f,RFCM,'-',f1,FCM1,':')
%semilogx(f,RFCM)

```

Figure B.2 : Code MATLAB utilisé pour tracer la courbe théorique du FCM des nanofils SiGe intrinsèques.

## **Communications:**

### **Publications:**

**M. Merhej**, T. Honegger, F. Bassani, T. Baron, D. Peyrade, D. Drouin and B. Salem. Direct measurement of AC electrokinetics properties and capture frequencies of silicon and silicon-germanium nanowires. *Semiconductor Science and Technology*, Vol (33), 015005, 2017.

**Mouawad Merhej**, Dominique Drouin, Bassem Salem, Thierry Baron, Serge Ecoffey. Fabrication of top-down gold nano-structures using a damascene process. *Microelectronic Engineering*, Vol (177), 41-45, 2017.

**M. Merhej**, S. Ecoffey, B. Sadani, B. Lee – Sang, T. Baron, D. Drouin, and B. Salem. A fabrication process for self-connected horizontal SiGe nanowires. (in progress)

### **Conferences:**

Mouawad Merhej, Dominique Drouin, Thierry Baron, Bassem Salem, Serge Ecoffey. A damascene process for gold micro- and nano- structures: MNE Vienna, 2016-Oral presentation.

M.Merhej, T. Honegger, S. Ecoffey, F. Bassani, T. Baron, D. Peyrade, D. Drouin and B. Salem. Toward 3D integration of self-assembled horizontal Si and SiGe nanowires on CMOS chip: EMRS Fall meeting, Varsovie 2017, Poster presentation.

